

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

2 97 2813
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: **Hiroshi Tanabe**

U.S. Serial No.: **09/614,286**

Filed : **July 12, 2000**

Title : **METHOD FOR FORMING SEMICONDUCTOR FILMS AT
DESIRED POSITIONS ON A SUBSTRATE**



Assistant Commissioner for Patents
Washington, D.C. 20231

October 17, 2000

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is JAPANESE patent application no. 11-229979 filed July 13, 1999 whose priority has been claimed in the present application.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 08-1634.

Respectfully submitted,

Any fee due with this paper, not fully served by an enclosed check, may be charged on deposit Acct. No. 08-1634

[X] Samson Helfgott
Reg. No. 23,072
[] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60TH FLOOR
EMPIRE STATE BUILDING
NEW YORK, NEW YORK 10118
DATE: OCTOBER 17, 2000
DOCKET NO.: NECK 17.552
TELEPHONE: (212) 643-5000

RECEIVED
OCT 27 2000
TECHNOLOGY CENTER 2800

1025-475-11
08

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 7月13日

出 願 番 号
Application Number:

平成11年特許願第229979号

出 願 人
Applicant(s):

日本電気株式会社

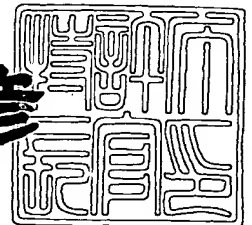


RECEIVED
OCT 27 2000
TECHNOLOGY CENTER 2800

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3035233

【書類名】 特許願

【整理番号】 34803223

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 田邊 浩

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100097157

 【弁理士】

 【氏名又は名称】 桂木 雄二

【手数料の表示】

 【予納台帳番号】 024431

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 半導体薄膜及びその形成方法

【特許請求の範囲】

【請求項 1】 基板上に形成され、光照射による改質を経た領域と光照射を経ない領域とが混在する半導体薄膜と、この半導体薄膜の表面に該半導体薄膜とは組成の異なる薄膜を積層して積層膜を形成してなる半導体薄膜。

【請求項 2】 前記積層膜の一部が基板上から除去されている請求項 1 に記載の半導体薄膜。

【請求項 3】 前記光照射による改質を経た領域と前記光照射を経ない領域との光学的な色を異ならせたことを特徴とする請求項 1 又は 2 に記載の半導体薄膜。

【請求項 4】 前記基板上に所定のアライメントマークを具備し、このアライメントマークを基準に決定した領域を光照射により改質したことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体薄膜。

【請求項 5】 光の照射工程を有する半導体薄膜の形成方法において、光が光マスク上に形成したパターンを半導体薄膜上に投影露光して、半導体薄膜上の所定の領域を改質する工程と、上記半導体薄膜上に絶縁膜を連続的に形成する工程とを含む半導体薄膜の形成方法。

【請求項 6】 請求項 5 の半導体薄膜の形成方法において、前記光照射による改質を経た領域と光学的な色が異なる光照射を経ない領域との色差を用いてアライメントマークを形成する半導体薄膜の形成方法。

【請求項 7】 前記アライメントマークを基準に、フォトリソグラフィ工程及びエッチング工程、並びに上記半導体薄膜の上記積層膜の一部を基板上から除去する工程に際しての位置決めを行うことを特徴とする請求項 5 又は 6 に記載の半導体薄膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に用いられる半導体薄膜及びその形成方法に関し、特に、

結晶性シリコン薄膜トランジスタに用いるシリコン薄膜を光照射によって形成する技術、また、このシリコン膜上にゲート絶縁膜を形成して電界効果型トランジスタを得る技術、更にはこれら半導体薄膜あるいは電界効果型薄膜トランジスタにより構成されるディスプレイ、センサー等の駆動回路に関する。

【0002】

【従来の技術】

初めに、上記技術分野における現状技術についてその問題点指摘を含めて詳細に説明する。ガラス基板上に薄膜トランジスタ(TFT)を形成する代表的な技術として、水素化アモルファスシリコンTFT技術及び、多結晶シリコンTFT技術が挙げられる。前者の作製プロセス最高温度は300℃程度であり、移動度 $1\text{ cm}^2/\text{V sec}$ 程度のキャリア移動度を実現している。この技術は、アクティブマトリクス型(AM-)液晶ディスプレイ(LCD)における各画素のスイッチングトランジスタとして用いられており、画面周辺に配置されたドライバー集積回路(IC、単結晶シリコン基板上に形成されたLSI)によって駆動される。各画素毎にスイッチング素子TFTがついているため、別体の周辺ドライバ回路から液晶駆動用の電気信号を送るパッシブマトリクス型LCDに比べ、クロストーク等が低減され良好な画像品質を得られるという特徴を有している。

【0003】

一方後者は、例えば石英基板を用い1000℃程度のLSIと類似した高温プロセスを用いることで、キャリア移動度 $30\sim 100\text{ cm}^2/\text{V sec}$ の性能を得ることができる。このような高いキャリア移動度が実現できることは、たとえば液晶ディスプレイに応用した場合、各画素を駆動する画素TFTと同時に、周辺駆動回路部までもを同一ガラス基板上に同時に形成することができる結果、製造プロセスコストの低減、機器の小型化に寄与する利点がある。装置の小型化、高解像度化に伴いAM-LCD基板と周辺ドライバー集積回路の接続ピッチは狭小化を余儀なくされ、タブ接続やワイヤボンディング法にては対処しきれないからである。

【0004】

ところが、多結晶シリコンTFT技術において、上述のような高温プロセスを

用いるためには、前者のプロセスであれば用いることができる安価な低軟化点ガラスを用いることができない。この点を改善するため多結晶シリコンTFTプロセスにおける温度低減化が必要になっており、これに対応すべくレーザ結晶化技術を応用した多結晶シリコン膜の低温形成技術が研究・開発されている。

【0005】

周知のように、一般にこれらのレーザ結晶化はパルスレーザ照射装置を用いて実現される。図11にパルスレーザ照射装置の構成の一例を概略図で示す。パルスレーザ光源(1101)から供給されるレーザ光はミラー(1102, 1103, 1105)及び空間的な強度の均一化を行うべく設置されるビームホモジナイザ(1104)等の光学素子群によって規定される光路を介し、被照射体であるガラス基板(1109)上のシリコン薄膜(1107)に到達する。一般にガラス基板に比べ1照射範囲が小さいため、xyステージ(1109)上のガラス基板を移動させることにより基板上の任意の位置へのレーザ照射が行われている。xyステージの代わりに、上述の光学素子群を移動させることや、光学素子群とステージを組み合わせる方法も行われている。

【0006】

例えば、文献; J. Im and R. Sposili, "Crystalline Si films for integrated active-matrix-liquid-crystal displays", Materials Research Society Bulletin誌, vol. 21, (1996), 39 (公知文献1)の、Figure 6には、基板をx方向ステージに、ホモジナイザをy方向ステージに載置するようにした例が示されている。

【0007】

なお、レーザ照射は真空チャンバ内で真空中あるいは高純度ガス雰囲気下で行われることもある。また、必要に応じてシリコン薄膜付きガラス基板入りカセット(1110)と基板搬送機構(1111)を有し、機械的にカセットとステージ間の基板の取りだし収納を行うことについても触れられている。

【0008】

また、短波長パルスレーザー光を照射し非晶質基板上の非晶質シリコン薄膜を結晶化し、薄膜トランジスタに応用する技術が特公平 7 - 1 1 8 4 4 3 号公報に開示されている。開示手法によれば基板全体を高温にすることなく非晶質シリコンの結晶化が可能であるため、液晶ディスプレイ等の大面積かつガラス等の安価な基板上への半導体素子、半導体集積回路を作製できるという利点がある。

【0 0 0 9】

然しながら、該公報中においても述べられているように、短波長レーザーによる非晶質シリコン薄膜の結晶化には $50 - 500 \text{ mJ/cm}^2$ 程度の照射強度を必要とする。一方、現在一般に入手できるパルスレーザー装置の発光出力は最大のもので IJ/pulse 程度であるから、単純換算によっても一度に照射処理可能な面積は $2 - 20 \text{ cm}^2$ 程度にすぎない。したがって、たとえば基板サイズ $47 \times 37 \text{ cm}$ の基板全面をレーザー結晶化するためには、少なくとも 87 箇所、条件によっては 870 箇所にレーザー照射を行うことが必要となる。基板サイズ 1 m 角というように、基板が拡大すれば、対応して必要となる照射箇所数も増加する。この場合のレーザー結晶化も既述した図 1 1 に示した構成のパルスレーザー照射装置を用いて行われる。

【0 0 1 0】

上記の方法を適用して大面積基板上に薄膜半導体素子群を均一に形成するためには、特願平 3 - 3 1 5 8 6 3 公報に開示されているような技術、即ち素子群をレーザーのビームサイズよりも小さな領域に分割し、ステップアンドリピートにより数パルス照射 + 照射領域の移動 + 数パルス照射 + 照射領域の移動 + …、を順に繰り返す方法が有効であることが知られている。図 1 4 (a) のレーザー運転方法に示すように、レーザーの発振とステージ（すなわち基板）もしくはビームの移動とが交互に行われるように制御する方法である。

【0 0 1 1】

ところが、本手法によっても現在入手しうる発振強度均一性 $\pm 5 \sim 10 \%$ （連続発振時）程度のパルスレーザー装置を用いたとしても、たとえば 1 パルス ~ 20 パルス/場所程度の照射を繰り返すような使い方の場合には、発振強度バラツキは $\pm 5 \sim 10 \%$ を超えてしまい、結果として得られる多結晶シリコン薄膜並びに

多結晶シリコン薄膜トランジスタ特性の均一性は十分なものとはならないという問題点があった。特にスパイクングと呼ばれるレーザ発振初期の放電の不安定に起因する強光あるいは弱光の発生が不均一化の要因の一つとなっている。

【 0 0 1 2 】

この難点の補正を行うべく、積算強度結果により次の発振時の印加電圧を制御するような方法も知られているがこれは、スパイクングの発生は抑制できるもののかえって弱光を発振してしまうという問題点がある。すなわち、図 1 3 に示すように、照射時間と非発振時間とが交互に連続する場合、各照射時間に発振される第 1 のパルス強度が、最も不安定でありバラツキやすく、また照射箇所によって照射強度履歴が異なるため、基板面内でのトランジスタ素子及び薄膜集積回路の十分な均一性が得られないという問題が生じる。

【 0 0 1 3 】

このようなスパイクングの別な回避方法としては、図 1 4 (b) に示すように、レーザ発振を、素子形成領域への照射開始以前から開始することにより回避する方法が知られているが、図 1 4 (a) に示したようなレーザの発振とステージの移動とを断続的に繰り返す場合には応用することはできない。

【 0 0 1 4 】

これらの問題を回避すべく、特開平 5 - 9 0 1 9 1 号公報にはパルスレーザ光源を連続発振させると共にステージの移動期間には光遮蔽装置を用いて基板への照射を行わない方法が提案されている。すなわち、図 1 4 (c) に示すようにレーザをある周波数で連続発振させるようにし、所望の照射位置へのステージの移動と光路の遮蔽・開放を同期させることによって、強度の安定したレーザ光を所望の照射位置へ照射することを可能にしている。しかしこの方法の難点として、レーザビームの安定した基板への照射が可能になるものの、多結晶シリコン薄膜形成に寄与することのない無駄なレーザ発振が増え、高価なレーザ光源や励起ガスの寿命に対する多結晶シリコン薄膜の生産性及び、レーザ発振に要する電力等に対する多結晶シリコン薄膜の生産効率が低下するため、生産コストの上昇を招くという点が挙げられる。

【 0 0 1 5 】

その他にも、レーザが露光される基板も、照射強度ばらつきによって所望の値に比べ過度な強光が照射されると、基板ダメージが生じる慮がある。特に、LCD等のイメージングディスプレイでは基板を透過する光が、基板上のダメージを受けた領域において光散乱等を引き起こし画像品質の低下が生じるという問題が生じる。

【0016】

次に、光マスク上のパターンをシリコン薄膜上に縮小投影しレーザ結晶化する技術は、例えば、文献；R. Sposili and J. Im, " Sequential lateral solidification of thin silicon films on SiO_2 ", Applied Physics Letters 誌、vol. 69, (1996), 2864 (公知文献2)、及び、文献；J. Im, R. Sposili and M. Crowder, " Single-crystal Si films for thin film transistor devices", Applied Physics Letters 誌、vol. 70, (1997), 3434 (公知文献3) に開示されている。

【0017】

上記各文献によれば、308nm excimer laser, variable-energy attenuator, variable-focus field lens, patterned-mask, two-element imaging lens, sub-micrometer-precision translation stage を用いて、1:5程度の縮小投影を行うことによって、 μm オーダーのビームサイズと μm オーダーの基板ステージの移動ピッチが実現されている。

【0018】

ところが本方法を上記のような大型の基板処理に用いる場合、光マスク上に照射されるレーザビームが光源に依存して空間的な強度プロファイルを持つため、例えばマスク上の中心と周辺とを透過した露光パターンに致命的な強度分布偏差が生じ、所望の均一性を持った結晶性シリコン薄膜を得ることができないという

問題があった。さらに、波長の短い紫外光を縮小投影するからビームの焦点深度が小さく、基板のそり、たわみによる照射深度ずれが生じやすいという問題があった。また、基板が大きくなるにつれてステージの機械的精度を確保することが困難になり、ステージの傾きや移動時のステージ上での基板のずれが、所望のレーザー照射条件を妨げるという問題もあった。

【0019】

さて上記のようなレーザー照射を行う際に、複数のパルスのある遅延時間をもたせて照射する方法が、文献；Ryoichi Ishihara et al. "Effects of light pulse duration on excimer laser crystallization characteristics of silicon thin films", Japanes journal of applied physics, vol. 34, No. 4A, (1995) pp1759 (公知文献4)に開示されている。上記公知文献に従えば、レーザー再結晶化プロセスにおける溶融シリコンの結晶化固化速度は 1 m/sec 以上であり、良好な結晶成長を得るためには、固化速度の低減化が必要である。固化が完了した直後に第2のレーザーパルスを照射することにより第2の照射によってより固化速度の小さな再結晶化過程を得ようとするものである。

【0020】

さて、図12に示すようなシリコンの温度変化（時間履歴曲線）によれば、レーザーエネルギー（例えば図15に波形を示す強度パルス）の照射とともにシリコンの温度が上昇し、出発材料が $a\text{-Si}$ の場合、 $a\text{-Si}$ の融点を経た後さらに温度が上昇、エネルギーの供給が温度上昇に必要な値を下回ると、冷却が始まる。結晶 Si の凝固点において、凝固時間を経て固化が終了した後、雰囲気温度まで冷却される。ここで、シリコンの固化がシリコン-基板界面を起点に膜厚方向に進むとすると、上記固化速度の平均値は次式で表される。

【0021】

固化速度の平均値＝シリコンの膜厚／凝固時間

すなわち、シリコンの膜厚が一定であれば、固化速度を小さくするためには凝

固時間の長時間化が必要となる。したがって、熱平衡学的に理想的な状態を維持したプロセスであれば、理想的な投入するエネルギーすなわちレーザー照射エネルギーを大きくすることで、凝固時間の拡大が可能である。ところが上記公知文献においても指摘されているとおり、照射エネルギーの増大は膜の非晶質化、微結晶化を引き起こすという問題がある。現実的な溶融・再結晶化工程においては図 12 のような理想的な温度変化は得られず、一般に加熱時には温度の過上昇、冷却時には過冷却過程を経て安定状態に到達する。特に冷却時の冷却速度が大きく過度の過冷却過程を経る場合、凝固点近傍での結晶化が生ずることなく、急速冷却固化によりアモルファス（非晶質）固体が形成されるためである。薄膜においては上記公知文献中でも述べられているとおり、条件に依存してアモルファスではなく、微結晶体を形成することもある。微結晶体は、多結晶薄膜あるいは単結晶薄膜に比べその粒径が極端に小さいために、粒界ポテンシャルの大きな結晶粒界が多数存在し、たとえば薄膜トランジスタへ応用し場合にはオン電流の低下、あるいはオフリーク電流の増大を招くといった問題を生じる。

【0022】

図 16 に膜厚 75 nm のシリコン薄膜に波長 308 nm のエキシマレーザを照射した場合の、数値計算から求めた最大冷却速度（Cooling rate, K/sec）、レーザ照射後の膜の SEM 観察から得られた結晶化－微結晶化の照射強度のしきい値を示す。実験に用いたレーザの発光パルス波形は図 15 のものである。3つの主ピークを呈し発光時間は約 120 nsec に及ぶ。このようなパルス波形は、上記公知文献 4 で想定・記載されているパルス幅 21.4 nsec の矩形パルスに比べて 5 倍以上に達する発光時間を有することから、単一パルス照射であっても上記公知文献 4 中で述べられているような固化速度の低減といった効果が期待できる。

【0023】

さて、このようなパルス波形を用いたレーザ再結晶化時の数値計算から求めたシリコンの温度－時間曲線は図 17 に示すようになる。図 17 はシリコン膜厚 75 nm、基板に SiO₂、XeCl レーザ（波長 308 nm）照射強度 450 mJ/cm² の時のシリコン薄膜の温度変化を示す。第 2 の発光ピークがほぼ終了

する約 60 n sec 後に最高温度に達し冷却へと転じる（なお、本数値計算では溶融・凝固点として非晶質シリコンの値を用いており、凝固点付近の振る舞いは現実のものとは異なる。特に結晶化膜が得られる場合は、結晶シリコンの凝固点で結晶化が完了する）。いったん大きな傾きを持って冷却が開始されるが、第 3 のピークが存在する 100 n sec 程度の傾きは非常に小さくなることわかる。完全に発光が終了する 120 n sec 以降では、再び急速な冷却過程を経て凝固する。一般に、熱平衡過程を大きくはずれるような“急冷”を経た液体からの固化過程の場合、結晶構造の形成に必要な十分な凝固時間を得ることができず、アモルファス（非晶質）固体が形成される。

【0024】

先の図 16 は、図 17 に示すようなシリコンの温度－時間曲線を基に各照射強度に対し発光終了後の最大冷却速度を見積もった結果を示したものである。照射強度の増大とともに冷却速度が増加することがわかる。一方、レーザ照射後のシリコン薄膜の構造を走査型電子顕微鏡を用いて観察したところ、図 16 に示すように照射強度の増大とともにいったん粒径は増大するものの、 470 mJ/cm^2 程度の設定照射強度条件において、微結晶化が観測された。同様に照射パルス数を 3 パルスにした場合、 470 mJ/cm^2 程度の設定照射強度条件においても、部分的に微結晶化領域が残るものの 1 パルスの時とは異なり粒径の飛躍的な増大が観測された（図 18；「各照射強度及び照射回数に対するレーザ再結晶化シリコン薄膜の結晶形態」参照）。なお、実照射強度は、エキシマレーザの特に最初の数パルスにおいて、設定値に比べ 5～10% 程度高くなるため、微結晶化が生じるしきい強度は 500 mJ/cm^2 程度と見積もることができる。以上のような結果から、図 16 の 500 mJ/cm^2 条件から冷却速度を見積もることにより、微結晶化は約 $1.6 \times 10^{10} \text{ }^{\circ}\text{C/sec}$ 以上の冷却速度条件で生じることがわかった。被照射膜が a-Si の場合、約 500 mJ/cm^2 以上の照射強度で微結晶化が、同様に、被照射膜が poly-Si の場合にこの冷却速度を当てはめると、a-Si に比べ約 30 mJ/cm^2 大きい照射強度が示唆される。したがって、冷却速度を $1.6 \times 10^{10} \text{ }^{\circ}\text{C/sec}$ 以下に制御することによって、微結晶化、アモルファス化を防ぐことができ、良好な結晶成長過程を得る

ことが可能になる。

【0025】

次に、第2のレーザ光を第1のレーザ光に遅延して導入した場合について述べる。すでに述べたように、発光後期のレーザ光が冷却速度の増大を緩和するとともに、発光終了後の冷却速度が結晶化を支配する。すなわち、最終的に投入されたエネルギーによりそれ以前の冷却過程は初期化されと考えられる。更に付加的なエネルギーを投入することによって、それ以前の固化過程において急冷による非晶質化、微結晶化が生じていても、エネルギーは保存されている（ナノ秒オーダーと短時間のため、基板への熱伝導、雰囲気への放射は小さいと考えられる。もちろん十分な熱の放出が可能な時間は考慮しない）ため一旦初期化され、再度固化過程を繰り返すものと考えられる。したがって再度投入されたエネルギーによる2次加熱終了後の冷却速度に注目することによって、良好な結晶成長が期待できる。図19の最大冷却速度と凝固点近傍の冷却速度を示す図に示すように、遅延時間を制御することによって冷却速度を所望の値にコントロールする。

【0026】

一方で、被レーザ照射材料である a-Si 薄膜の形成工程、レーザ照射工程、プラズマ水素化工程、ゲート絶縁膜の形成工程を順次あるいは順を変えて、大気暴露することなく行う技術が、以下に列記する各特許公報に開示されている。

- ・特開平5-182923号公報；非晶質半導体薄膜を加熱処理した後、レーザを照射する工程を大気暴露することなく行う。
- ・特開平7-99321号公報；レーザ結晶化多結晶シリコン薄膜を有する基板を大気暴露することなくプラズマ水素化、ゲート絶縁膜の形成工程に基板搬送する。
- ・特開平9-7911号公報；レーザ結晶化多結晶シリコン薄膜を有する基板を大気暴露することなくゲート絶縁膜の形成工程に基板搬送する。
- ・特開平9-17729号公報；レーザ結晶化多結晶シリコン薄膜を有する基板を大気暴露することなくゲート絶縁膜の形成工程に基板搬送し多結晶シリコン表面への不純物の付着を防ぐ。
- ・特開平9-148246号公報；非晶質シリコン薄膜の形成、レーザ結晶化、

水素化、ゲート絶縁膜の形成を大気暴露することなく連続して行う。

- ・特開平 10-116989 号公報；非晶質シリコン薄膜の形成、レーザ結晶化、水素化、ゲート絶縁膜の形成を大気暴露することなく連続して行う。

- ・特開平 10-149984 号公報；非晶質シリコン薄膜の形成、レーザ結晶化、水素化、ゲート絶縁膜の形成を大気暴露することなく連続して行う。

- ・特開平 11-17185 号公報；非晶質シリコン薄膜の形成、レーザ結晶化、ゲート絶縁膜の形成、ゲート電極の形成を大気暴露することなく連続して行う。

これらの各公報に示されている思想、技術は、レーザ結晶化によって形成されたシリコン表面が非常に活性であるため大気中に曝すことにより不純物が付着しやすくなり、結果として形成される TFT の特性を劣化させる、あるいはその特性にばらつきを生じさせるという問題を解決するために創案されたものである。

【0027】

上述技術評価のため、出願人らはエキシマレーザ結晶化技術と酸化シリコン膜形成技術を同一装置（大気に曝さず別の装置に基板を搬送することを含む）で行い、いったん大気に曝した場合との製造物の性能比較を行った。その結果、ゴミ、パーティクルの付着防止効果による製品の歩留まり率の向上には大きな効果が確認されたが、一方でこの効果の程度についてはクリーンルーム環境のクリーン度を高めることに依ってある程度同等の効果が得られることが確認された。

【0028】

歩留まり率の向上には、成膜装置よりも同一装置内に基板の洗浄機構を組み込んだものが最も効果大きい。例えば a-Si の形成工程の形成条件によっては成膜中に基板上にパーティクルが付着し、いったん大気中に解放して洗浄工程を必要とするものもあった。一方で、薄膜トランジスタの性能に着目すると、上記製造プロセスの違いは顕著な差異をもたらさなかった。この理由は以下のように考察できる。

【0029】

本出願人らは、例えば、文献；K. Yuda et al. "Improvement of structural and electrical properties in low-temperature gate-oxid

es for poly-Si TFTs by controlling O_2/SiH_4 ratios", Digest of technical papers 1997 international workshop on active matrix liquid crystal displays, September 11-12, 1997, Kogakuin Univ., Tokyo, Japan-, 87 (公知文献5)、において、300～350℃程度の温度でプラズマを用いて形成されるシリコン酸化膜や600℃程度の熱処理を経て形成されるシリコン酸化膜の固定酸化膜電荷密度 ($10^{11} \sim 10^{12} \text{ cm}^{-2}$) や、シリコン基板との間の界面準位密度 ($\sim 6 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-2}$) を開示している。この場合、上記シリコン基板は一般に RCA 洗浄と呼ばれる硫酸/過酸化水素水、塩酸/過酸化水素水/水、アンモニア/過酸化水素水/水、フッ酸/水等の酸性 (必要に応じて加熱) 洗浄液をもちいて洗浄、水洗後、成膜装置内に導入される。したがって、上記界面準位密度値は、単結晶シリコン基板ではあるものの、清浄界面形成 (洗浄) 後いったん大気に曝され、成膜工程に移った試料から得たものである。

【0030】

ここで一方のレーザ結晶化シリコン膜のトラップ準位密度に注目する。
本出願人は、例えば、文献; H. Tanabe et al., "Excimer laser crystallization of amorphous silicon films", NEC Research and Development 誌, vol. 35, (1994), 254 (公知文献6)、において、レーザ結晶化シリコン膜を有する薄膜トランジスタから、結晶化シリコン膜中のトラップ準位密度 ($10^{12} \sim 10^{13} \text{ cm}^{-2}$) を開示している。しかもこれらのトランジスタが示す電界効果移動度は、 $40 \sim 140 \text{ cm}^2/\text{V sec}$ と良好な特性を示している。

【0031】

ところで、上記シリコン膜中のトラップ準位密度と、界面準位密度 (あるいは固定酸化膜電荷密度) を比較すると明らかにトラップ準位密度の値のほうが大きい。すなわち、同一装置内で大気の曝すことなくシリコン膜/ゲート絶縁膜を形

成した試料において、その清浄性の効果を得るためには、シリコン膜の性能（トラップ準位密度）が十分ではないという問題があることが判明した。

【0032】

本発明に係る分野に関連するものとして、プラズマダメージを低減し良質なゲート絶縁膜を形成する手段としてリモートプラズマCVD（化学的気相成長）法が提案されている。例えば、特開平5-21393号公報には、プラズマ発生室と基板処理室を分離する構成が開示されている。このような構成をとることにより、上述のような低固定酸化膜電荷密度（ $10^{11} \sim 10^{12} \text{ cm}^{-2}$ ）や、低界面準位密度（ $\sim 6 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-2}$ ）が実現できると推察できるが、この効果は前述したように予め形成されるシリコン膜の性能により制限されてしまうという問題があった。

【0033】

【発明が解決しようとする課題】

本発明は、これまでに詳細に述べてきた諸問題を克服すべくなされたもので、トラップ準位密度の小さいシリコン薄膜を光照射によって形成する技術を提供すると共に、大面積基板上に再現性よくその技術を応用するための技術を提供することを目的とする。また、それらの良質なシリコン膜上に良質なゲート絶縁膜を形成することにより、良好な半導体-絶縁膜界面すなわち優れた特性を有する電界効果型トランジスタを提供するためのものである。

【0034】

【課題を解決するための手段】

本発明では半導体薄膜を、基板上に形成され、光照射による改質を経た領域と光照射を経ない領域とが混在する半導体薄膜と、この半導体薄膜の表面に該半導体薄膜とは組成の異なる薄膜を積層して積層膜を形成した構成とする。

【0035】

また、前記積層膜の一部が基板上から除去された構成とする。

【0036】

更には、前記光照射による改質を経た領域と前記光照射を経ない領域との光学的な色を異ならせた構成にする。

【 0 0 3 7 】

また、前記基板上に所定のアライメントマークを具備し、このアライメントマークを基準に決定した領域を光照射により改質した構成とする。

【 0 0 3 8 】

上記構成では、予め設けられたアライメントマークを基準に露光領域を決定することによって、所望の場所に所望の露光条件で露光改質されたシリコン薄膜を形成することができるため、例えばトランジスタのチャネル領域のみを露光改質することができる。すなわち改質した領域に対応して、ソース・ドレイン、チャネル領域を順次次の工程でパターン形成することができる。

【 0 0 3 9 】

また、本発明方法では、光の照射工程を有する半導体薄膜の形成方法において、光が光マスク上に形成したパターンを半導体薄膜上に投影露光して、半導体薄膜上の所定の領域を改質する工程と、上記半導体薄膜上に絶縁膜を連続的に形成する工程とを含むようにする。

【 0 0 4 0 】

このようにすることによって、高性能、多機能半導体形成装置の提供、低コスト、高再現性薄膜トランジスタ製造プロセスの提供、及び高性能薄膜トランジスタの提供がそれぞれ可能になる。具体的には、1) 薬液による洗浄工程削減が可能な安定性の高い半導体薄膜プロセスの提供、2) 同一装置において多工程を処理可能な多機能型装置を提供することによって、トータルの工場設置面積を小さくできる（省スペース半導体プロセス）、3) シリコン清浄表面（界面）を薬液を用いることなく維持可能な低コスト、高性能薄膜トランジスタの製造、がそれぞれ可能になる。

【 0 0 4 1 】

また、上記方法において特に前記光照射による改質を経た領域と光学的な色が異なる光照射を経ない領域との色差を用いてアライメントマークを形成する。

【 0 0 4 2 】

このようにすることによって、レーザ照射によって基板上の所定の領域が改質された半導体薄膜を基準に、その後の薄膜トランジスタ製造工程でのデバイス素

子形成領域の指定が可能になる。このとき半導体薄膜及び絶縁膜以外のアライメントマーク形成用の異種材料が存在しないために、清浄な半導体-絶縁膜界面の形成が容易にできる。

【0043】

更には、前記アライメントマークを基準に、フォトリソグラフィ工程及びエッチング工程、並びに上記半導体薄膜の上記積層膜の一部を基板上から除去する工程に際しての位置決めを行うようにする。

【0044】

【発明の実施の形態】

第1図は本願発明の実施の形態を表した例で縮小投影光学系を有した露光装置の主要部の概略配置を示している。第1のエキシマレーザ(EL1)及び第2のエキシマレーザ(EL2)から供給されるパルスUV光は、ミラー類(opt3, opt3')、レンズ類(opt4)を介してホモジナイザ(opt20')に導かれる。ここでビームの強度プロファイルが光学マスク(opt21)で所望の均一度、例えば面内分布±5%、になるように整形する。エキシマレーザから供給されるオリジナルなビームはその強度プロファイルや総エネルギー量が、パルス間毎に変化する場合があるため、光学マスク上での強度が、空間的分布、パルス間ばらつきについて、より均一化されるための機構が設けられることが望ましい。ホモジナイザとしては、フライアイレンズやシリンドリカルレンズを用いたものが一般的に用いられる。

【0045】

上記光学マスクによって形成された光パターンは縮小投影露光装置(opt23')、レーザ導入窓(W0)を介して、真空チャンバ(C0)内に設置された基板(sub0)に照射される。上記基板は、基板ステージ(S0)上に載置されており、基板ステージの操作によって所望の領域、例えばパターン転写領域(ex0)、に光パターンを露光することができる。

【0046】

図1では縮小投影光学系の例を示したが、条件が合致するならば等倍、拡大投影を行ってもかまわない。基板ステージの移動(図内X-Y方向)によって基板

(s u b 0) 上の任意の領域にレーザビーム光の照射が行われる。また、上記光学マスク (o p t 2 1) はマスクステージ (図示せず) 上に設置されており、露光可能領域内であれば、上記光学マスクを移動することにより基板上に照射されるビームを操作することも可能である。

【0 0 4 7】

次に所望の光パターンを所望の条件で基板上に照射するために必要な機構について例示する。光軸の調整には微妙な調整が必要となるため再度の調整を避けて、いったん調整を終えた光軸については固定して基板の位置を調整する方法を示す。光軸に対する基板照射面の位置は、焦点 (Z) 方向位置及び光軸に対する垂直度を補正する必要がある。したがって、図中に示した (θ x y) 傾き補正方向、(θ x z) 傾き補正方向、(θ y z) 傾き補正方向、(X) 露光領域移動方向、(Y) 露光領域移動方向、(Z) 焦点合わせ方向のうち、(θ x y) 傾き補正方向、(θ x z) 傾き補正方向、(θ y z) 傾き補正方向の調整によって光軸に対する垂直度を補正する。また、(z) 焦点合わせ方向を調整することにより光学系の焦点深度にあった位置に基板照射面が配置されるように制御がなされる。

【0 0 4 8】

図 2 は上記の被調整部品や基板のアライメント機構を説明する側面図である。露光軸 (L 0) に対し、光学マスク (o p t 2 1)、縮小投影露光装置 (o p t 2 3')、レーザ導入窓 (W 0) が軸を平行にして図のように順に配置される。真空チャンバ (C 0) 内に配置された基板 (s u b 0) は、基板吸着機構付きヒータ (H 0)、基板 X Y Z - θ x y, θ x z θ p y z ステージ (S 0') 上に配置される。真空チャンバを用いているが実際の光照射は真空排気後に置換・充填された不活性ガス、水素、酸素、あるいは窒素等の雰囲気中で行われることが望ましく、雰囲気圧も大気圧前後の圧力であってもよい。

【0 0 4 9】

基板吸着機構付きヒータを用いることによって光照射時に、室温～400℃程度の範囲の基板加熱条件に設定することができる。上記のように雰囲気圧を大気圧程度にすることによって、真空チャック機能による基板の吸着が可能のため

、チャンバ内での基板ステージの移動等があってもずれを防止でき、また、投入された基板に多少のそり、たわみがあっても基板ステージに確実に固定することができる。さらに加熱に起因する基板のそり、たわみによる焦点深度ずれを最小限に抑えることができる。

【0050】

図中、レーザ干渉計 ($i1$, $i2$) は、測長用窓 ($W-i$)、測長用ミラー ($opt-i$) を介して基板のアライメント及び基板のZ方向位置の精密測定を行う。アライメントには、基板上に付されたアライメントマークをオフアクシス顕微鏡 ($m0$)、顕微鏡用光源 (Lm)、顕微鏡用素子 ($opt-m$) を用いて計測し、レーザ干渉計からの基板位置情報を用いて所望の露光位置を計測できる。

【0051】

図2は『オフアクシス法』を例示しているが、この他、『Through The Lens方式』や『Through The Mask (Reticle)方式』を応用することも可能である。また、複数の計測地点から線形座標を最小2乗法を用いて決定することにより、計測時に生じる測定誤差を平均化する手法をとることもできる。

【0052】

図3 (a) ~ (c) はマスクパターンとアライメントマークの関係について示す説明図である。マスクは第1マスク (非露光部; $mask1$) と第2マスク (露光部; $mask2$) とから構成される。例えばエキシマレーザを光源にする場合、紫外光が透過する石英基板上にアルミニウム、クロム、タングステンなどの金属や、誘電体多層膜といった紫外光を吸収、反射する膜を形成し、フォトリソグラフィとエッチング技術を用いて所定のパターンを形成する。マスク上の所望の透過パターン (図3 (a) においては白色部で示される) に応じて、シリコン膜が露光され図3 (b) に示されるように非露光 Si ($Si1$) 内に露光 Si 部 ($Si2$) が形成される。このとき、必要に応じてマスク上マーク ($mark1$) が基板上マーク ($mark2$) に一致するようにアライメント調整した後に露光することによって、シリコン薄膜上の予め設計された部分 (位置) を露光することが可能となる。

【0053】

また、上記シリコン薄膜を用いた薄膜トランジスタ形成工程において、露光プロセスが位置決めを必要とする第1工程（最初の工程）の場合（すなわちアライメントマークが予め形成されていない場合）、シリコン薄膜への露光工程時に露光形成マーク（mark 3）を同時に露光することによって、a-Siと結晶Siとの光学的差を利用したアライメントマークを形成することができる。a-Siと結晶Siの色相差によって実用上充分機能するアライメントマークが得られるのである。

【0054】

このようにして得られたアライメントマークを基準に後工程におけるフォトリソグラフィ等を行うことによって、露光改質された所望の領域に、トランジスタや所望の機構、機能を正確に位置を一致させて順に作り込むことができる。露光工程後にシリコン薄膜上にSi酸化膜を形成し、シリコン層の所望の領域がエッチング除去された状態を図3（c）に示す。Si除去部（Si 3）は積層されたシリコン膜とSi酸化膜がエッチング除去された領域であり、非露光Si部（Si 1）と露光Si部（Si 2）上にSi酸化膜（Si 4, Si 5）が積層された形状が示されている。このようにして酸化膜で覆われたシリコン膜からなる島状構造を作り込むことによって素子間分離された薄膜トランジスタのチャネル／ソース・ドレイン領域や後工程のアライメントに必要なマークを形成することができる。

【0055】

図4（a）（b）に装置の主要動作のタイミングチャートを示す。図4（a）の制御例1では基板ステージの操作により所望の露光位置へと基板を移動させる。次に焦点合わせやアライメント調整動作を行い精密に露光位置を調整する。このときには、例えば $0.1\mu\text{m}\sim 100\mu\text{m}$ 程度といった、所望の設定誤差精度にはいるように調整する。この位置調整動作が完了し次第、基板への光照射が実行される。これらの一連の動作を終了した時点で次の露光領域へ合わせて基板が移動し、基板上の必要な箇所を全て照射する。全ての必要箇所への照射が終了すると、基板が交換され次の処理基板上で同様の一連の所定処理を行う。

【0056】

図4 (b) に示す制御例2においては基板ステージの動作により所望の露光位置に基板を移動させる。次に焦点合わせやアライメント動作を行い精密に露光位置を調整する。このとき、例えば $0.1\mu\text{m}\sim 100\mu\text{m}$ 程度といった、所望の設定誤差精度にはいるように調整する。その動作が完了した時点で、マスクステージの移動動作を開始させる(始動)。始動時の移動ステップ量のばらつきを避けるために、基板への光照射はマスクステージ動作の開始よりもあとから開始される制御を示したチャートである。もちろんステージの移動によりアライメント位置から離れた地点に露光されることになるから、その分のオフセット量は予め考慮する必要があることはいうまでもない。

【0057】

基板への光照射よりも早く光源の運転を開始し、光源の出力強度の安定性が高まった時点で、シャッタ等を開き基板への光照射を行うことも可能である。特にエキシマレーザを光源に用い、発振期間と停止期間とが繰り返されるような制御法をとった場合、初期の数10パルスは特に不安定なことが知られており、これらの不安定なレーザパルスは照射したくない場合には、マスクステージの動作に合わせてビームを遮断する方式をとることができる。これら一連の動作を終了した時点で次の露光領域へ基板が移動し、基板上に必要な全箇所を照射終了する。その後、基板が交換され第2の処理基板上で同様な所定の一連の処理が繰り返される。

【0058】

〔実験例〕膜厚 75nm の a-Si 薄膜に対して $2\mu\text{m}\times 50\mu\text{m}$ のビームを短軸方向に $0.5\mu\text{m}$ ピッチで走査した。一つの光源を用いてレーザ照射強度は照射面で $470\text{mJ}/\text{cm}^2$ としたところ、走査方向に連続する単結晶シリコン薄膜が得られた。さらに、第2光源を照射面で $150\text{mJ}/\text{cm}^2$ となるように、 100ns 遅延させて照射した条件では $1.0\mu\text{m}$ の走査ピッチ条件でも走査方向に連続する単結晶シリコン薄膜が得られた。上記結晶化シリコン膜中のトラップ準位密度は 10^{12}cm^{-2} より低い値を示した。

【0059】

図 5 は、本発明の実施の形態をより具体的に示す半導体薄膜形成装置の側面図である。プラズマ CVD 室 (C 2)、レーザ照射室 (C 5)、基板搬送室 (C 7) から構成され、ゲートバルブ (G V 2, G V 5) を介して基板の搬送が装置外部の雰囲気に触れることなく真空中、不活性ガス、窒素、水素、酸素等の雰囲気かつ高真空、減圧、加圧状態で可能である。レーザ照射室 (C 5) においては 400℃ 程度まで加熱可能な基板ステージ (S 5) 上にチャック機構を用いて基板が設置される。プラズマ CVD 室 (C 2) では、400℃ 程度まで加熱可能な基板ホルダー (S 2) 上に基板が設置される。この例ではガラス基板 (S u b 0) 上にシリコン薄膜 (S i 1) が形成された状態でレーザ照射室 (C 5) に導入され、表面のシリコン薄膜がレーザ照射により結晶性シリコン薄膜 (S i 2) に改質され、プラズマ CVD 室 (C 2) に搬送された状態を示している。

【0060】

レーザ照射室に導入されるレーザ光は、エキシマレーザ 1 (E L 1)、エキシマレーザ 2 (E L 2) から供給されるビームが第 1 のビームライン (L 1)、第 2 のビームライン (L 2) を通り、レーザ合成光学装置 (o p t 1)、ミラー (o p t 1 1)、透過ミラー (o p t 1 2)、レーザ照射光学装置 (o p t 2)、ホモジナイザ (o p t 2 0)、光学マスクステージ (o p t 2 2) に固定された光学マスク (o p t 2 1)、投影光学装置 (o p t 2 3)、レーザ導入窓 (W 1) を介して基板表面に到達する。ここでは 2 台のエキシマレーザを図示しているが、光源としては 1 台以上所望の台数を設置することもできる。またエキシマレーザに限らず、炭酸ガスレーザ、Y A G レーザ等のパルスレーザや、アルゴンレーザ等の CW 光源と高速シャッターを用いてパルス状に供給してもよい。

【0061】

一方プラズマ CVD 室は R F 電極 (D 1) とプラズマ閉じこめ電極 (D 3) によりプラズマ形成領域 (D 2) が基板が配置される領域とは離れた位置に形成される。プラズマ形成領域には例えば酸素とヘリウムを、原料ガス導入装置 (D 4) を用いてシランガスを供給することにより、基板上に酸化シリコン膜を形成することができる。

【0062】

図6に本発明の実施の形態を示す半導体薄膜形成装置の平面図を示す。ロード／アンロード室(C1)、プラズマCVD室(C2)、基板加熱室(C3)、水素プラズマ処理室(C4)、レーザ照射室(C5)、基板搬送室(C7)がそれぞれゲートバルブ(GV1~GV6)を介して接続されている。第1のビームライン(L1)、第2のビームライン(L2)から供給されるレーザ光がレーザ合成光学装置(opt1)、レーザ照射光学装置(opt2)、レーザ導入窓(W1)を介して基板表面に照射される。また、それぞれのプロセス室、搬送室はガス導入装置(gas1~gas7)、排気装置(vent1~vent7)が接続されており、所望のガス種の供給、プロセス圧の設定、排気、真空が調整される。図に点線で示すように処理基板(sub2, sub6)が平面上に配置される。

【0063】

図7はC2プラズマCVD室の構成を模式的に示した概略側面図である。高周波電源(RF1)(13.56MHzあるいはそれ以上の高周波が適する)から電力が高周波電極(RF2)に供給される。ガス供給穴付き電極(RF3)と高周波電極(RF2)の間にプラズマが形成され、反応形成されたラジカルがガス供給穴付き電極を通り基板が配置された領域に導かれる。平面型ガス導入装置(RF4)によりプラズマに曝すことなく別のガスが導入され、気相反応を経て基板(sub2)上に薄膜が形成される。基板ホルダー(S2)はヒータ等により室温から500℃程度までの加熱を行うように設計されている。図のように、排気装置(ven2)、ガス導入装置(gas2)、酸素ライン(gas21)、ヘリウムライン(gas22)、水素ライン(gas23)、シランライン(gas24)、ヘリウムライン(gas25)、アルゴンライン(gas26)を用いて酸素ラジカルとシランガスを反応させることによって酸化シリコン膜を形成できる。

【0064】

基板温度300℃、圧力0.1torr, RF電力100W、シラン流量10sccm、酸素流量400sccm、ヘリウム流量400sccmの条件で膜形成を行ったところ、固定酸化膜電荷密度($5 \times 10^{11} \text{ cm}^{-2}$)と良好な特性

を有するシリコン酸化膜の形成が確認できた。また、シランに対する酸素流量比を大きくすることでより良好な酸化膜の形成が可能である。プラズマCVD室の形態としては上述のような平行平板型のRFプラズマCVD装置ばかりでなく、減圧CVDや常圧CVDといったプラズマを利用しない方法や、マイクロ波やECR (Electron Cyclotron Resonance) 効果を用いたプラズマCVD法を用いることも可能である。

【0065】

下記の表1は図7に示すプラズマCVD装置を酸化シリコン膜以外の薄膜形成に用いる場合に必要なガス種の例を示している。

【0066】

【表1】

【0067】

窒化シリコン膜 (Si_3N_4) の形成には N_2 (窒素) (あるいはアンモニア)、キャリアガスとしてAr (アルゴン)、 SiH_4 (シラン)、キャリアガスとしてアルゴン等を用いることができる。 Si シリコン薄膜の形成には H_2 (水素) とシラン、水素 (キャリアガスとしてアルゴン) と SiF_4 (4フッ化シラン、キャリアガスとしてアルゴン) 等の原料ガスを用いることができる。また、成膜プロセスではないが、水素プラズマを利用してシリコン薄膜や酸化シリコン膜の水素プラズマ処理も可能である。

【0068】

図8の(a) ~ (e), (f1), (f1), (g1), (g2) は本発明の半導体薄膜形成装置を薄膜トランジスタの製造工程に応用した場合の工程フロー図である。

【0069】

(a) ; 洗浄によって有機物や金属、微粒子等を除去したガラス基板 (sub0) 上に基板カバー膜 (T1)、シリコン薄膜 (T2) を順次形成する。基板カバー膜としてLPCVD (減圧化学的気相成長) 法でシランと酸素ガスを原料とし、 450°C で酸化シリコン膜を $1\mu\text{m}$ 形成する。LPCVD法を用いることにより基板保持領域を除き基板外表面全体をカバーすることも可能である (図示せず)

）。あるいはTEOS（テトラエトキシシラン）と酸素を原料としたプラズマCVD、TEOSとオゾン为原料とした常圧CVD、図8に示すようなプラズマCVD等を利用することも可能であり、基板材料（アルカリ金属濃度を極力低減したガラス、表面を研磨加工した石英・ガラス等）が含む半導体デバイスに有害な不純物の拡散防止ができる材料が基板カバー膜として有効である。シリコン薄膜はLPCVDでジシランガスを原料として500℃で厚さ75nm形成する。この場合膜中に含まれる水素原子濃度が1原子%以下となるため、レーザー照射工程での水素放出による膜荒れ等を防ぐことができる。あるいは図7に示すようなプラズマCVD法や広く普及しているプラズマCVD法を用いても、基板温度や水素／シラン流量比、水素／4フッ化シラン流量比等を調整することによって水素原子濃度が低いシリコン薄膜を形成できる。

【0070】

(b)；上記(a)工程で準備した基板を、有機物や金属、微粒子、表面酸化膜等を除去するための洗浄工程を経た後、本発明の薄膜形成装置に導入する。レーザー光(L0)が照射し、シリコン薄膜を結晶化シリコン薄膜(T2')に改質する。レーザー結晶化は99.9999%以上の高純度窒素700torr以上の雰囲気で行わる。

【0071】

(c)；上記工程を経た基板は、ガスが排気された後基板搬送室を介してプラズマCVD室に搬送される。第1のゲート絶縁膜(T3)として、シラン、ヘリウム、酸素を原料ガスとして基板温度350度で酸化シリコン膜を10nm堆積する。このあと必要に応じて水素プラズマ処理や加熱アニールを行う。ここまでする。本発明の薄膜形成装置において処理される。

【0072】

(d)；次に、フォトリソグラフィとエッチング技術を用いてシリコン薄膜と酸化シリコン膜積層膜のアイランドを形成する。このとき、シリコン薄膜に比べ酸化シリコン膜のエッチングレートが高いエッチング条件を選択することがこのましい。図に示すようにパターン断面が階段状（あるいはテーパ状）に形成することによって、ゲートリークを防ぎ信頼性の高い薄膜トランジスタを提供できる。

【0073】

(e) ; 次に、有機物や金属、微粒子等を除去するための洗浄を行った後、上記アイランドを被覆するようにT4第2のゲート絶縁膜を形成する。ここでは、LPCVD法でシランと酸素ガスを原料とし、450℃で酸化シリコン膜を30nm形成した。あるいはTEOS（テトラエトキシシラン）と酸素を原料としたプラズマCVD、TEOSとオゾン为原料とした常圧CVD、図8に示すようなプラズマCVD等を利用することも可能である。次にゲート電極としてn+シリコン膜を80nm、タングステンシリサイド膜を110nm形成する。n+シリコン膜はプラズマCVDやLPCVD法で形成された結晶性のリンドーブシリコン膜が望ましい。その後、フォトリソグラフィとエッチング工程を経て、パターン化されたゲート電極（T5）を形成する。

【0074】

(f1, f2) ; 次に、ゲートをマスクとして不純物注入領域（T6, T6'）を形成する。CMOS型回路を形成する場合は、フォトリソグラフィを併用してn+領域が必要なn-channel TFT 及びp+領域を要するp-channel TFT を作り分ける。注入される不純物イオンの質量分離を行わないイオンドーピングや、イオン注入、プラズマドーピング、レーザドーピング等の方法を採用することができる。そのとき用途や不純物導入方法によって図（f1）（f2）のように表面の酸化シリコン膜を残したまま、あるいは除去した後に不純物の導入を行う。

【0075】

(g1) (g2) ; 層間分離絶縁膜（T7, T7'）を堆積、コンタクトホールを開口後、金属を堆積、フォトリソグラフィとエッチングにより金属配線（T8）を形成する。層間分離絶縁膜としては、膜の平坦化が図れるTEOS系酸化膜やシリカ系塗布膜、有機塗布膜を用いることができる。コンタクトホール開口はフォトリソグラフィとエッチングにより、金属配線は抵抗の低いアルミニウム、銅あるいはそれらをベースとした合金、タングステンやモリブデンといった高融点金属が応用できる。以上のような工程を行うことによって、性能、信頼性の高い薄膜トランジスタを形成することができる。

【0076】

図9は予めアライメントマークを設け、アライメントマークに応じたレーザ照射を行った場合の実施例、図10はレーザ照射と同時にアライメントマークを形成する場合の実施例について、TF T製造工程フローをもとに説明する。基本的には図8の説明と類似しているため、特に異なる点のみ中心に説明する。

【0077】

図9(a) ; 洗浄によって有機物や金属、微粒子等を除去したガラス基板 (sub 0) 上に基板カバー膜 (T1)、タングステンシリサイド膜を順次形成する。アライメントマークの形成のために、フォトリソグラフィとエッチングによりパターン化しアライメントマーク (T9) を基板上に形成する。次にアライメントマークを保護するためにマーク保護膜 (T10) を形成し、シリコン薄膜を形成する。

【0078】

図9(b) ; レーザ光露光時にはアライメントマークを基準に所望の領域が露光される。その後は、予め設けられたアライメントマータや、結晶化シリコン薄膜パターンングによって形成されるアライメントマーク (図示せず) を基準に、次工程のアライメントを行うことができる。

【0079】

図10(b) ; シリコン薄膜への露光と同時に露光/非露光による改質の相違を利用した結晶化アライメントマーク (T9') をシリコン薄膜に形成する。

【0080】

図10(d) ; 結晶化アライメントマーク (T9') を利用して、フォトリソグラフィ時の目合わせを行い、エッチング工程を経てシリコン薄膜と酸化シリコン膜積層膜のアイランドを形成する。

【0081】

以上説明した製造過程によれば、シリコン膜が堆積された基板上に形成されたマークに対しアライメント機能を利用したビームの位置合わせをおこなうことにより、所望の領域へ μm オーダ以上の位置精度を持たせて露光することが可能になった。その結果、最終的にエッチング除去される領域へのレーザ照射を最小限

に抑えることができた。特に、LCDのようなイメージングデバイスへの応用時には光源の強度ばらつきに起因した基板ダメージ、それによる画像品質の低下を防ぐことが可能になった。

【0082】

【発明の効果】

レーザ照射によって部分的に改質され表面が部分的に活性になった薄膜の表面を他の薄膜を用いて覆うことによって、次工程での活性な表面に対する汚染、不要物の結合等を防ぐことが実現され、信頼性、再現性の高い薄膜トランジスタが得られる。

【0083】

レーザ照射工程でシリコン薄膜の改質とアライメントマークの形成を同時に行うことによって、付加的なアライメント形成工程が不要となり、素子の汚染防止や製造工程の短縮につながり、結果、製造コストを大きく低減でき産業上の効果大である。

【図面の簡単な説明】

【図1】

本願発明の一実施形態を示す縮小投影光学系を有した露光装置の主要部の概略配置を示す全体図である。

【図2】

露光装置における被調整部品や基板のアライメント機構を説明する側面図である。

【図3】

露光装置に係るマスク及び各パターンを説明する平面図である。

【図4】

(a)、(b)は露光装置における制御動作のタイミングチャートである。

【図5】

本発明の一実施形態を説明する半導体薄膜形成装置の側断面図である。

【図6】

本発明の一実施形態を説明する半導体薄膜形成装置の平面図である。

【図 7】

プラズマ CVD 室の構成を模式的に示す概略側面図である。

【図 8】

(a) ~ (e), (f 1), (f 1), (g 1), (g 2) は本発明に係る半導体薄膜形成装置による薄膜トランジスタの製造工程を説明する工程フロー図である。

【図 9】

(a) ~ (e), (f 1), (f 1), (g 1), (g 2) はアライメントマークを用いた本発明に係る薄膜トランジスタの製造工程を説明する工程フロー図である。

【図 1 0】

(a) ~ (e), (f 1), (f 1), (g 1), (g 2) はアライメントマークを同時形成するようにした薄膜トランジスタの製造工程を説明する工程フロー図である。

【図 1 1】

従来のパルスレーザ照射装置の構成の一例を示す概略図である。

【図 1 2】

シリコン膜の温度変化を示す時間履歴曲線である。

【図 1 3】

連続レーザパルスの強度のパルス間での分布の一例を示す説明図である。

【図 1 4】

(a) ~ (c) は既知のレーザ運転方法を説明するタイミングチャートである。

【図 1 5】

レーザパルスの強度波形を示す波形図である。

【図 1 6】

照射強度と冷却速度等の一例を示した図である。

【図 1 7】

シリコン薄膜温度変化の実験値例を示す図である。

【図 1 8】

各照射強度及び照射回数に対するレーザ再結晶化シリコン薄膜の結晶形態を説明する電子顕微鏡写真である。

【図 1 9】

第 2 パルス投入後の最大冷却速度と凝固点近傍の冷却速度を示す図である。

【符号の説明】

- 1 1 0 1 : パルスレーザ光源
- 1 1 0 2 : ミラー
- 1 1 0 3 : ミラー
- 1 1 0 4 : ビームホモジナイザ
- 1 1 0 5 : ミラー
- 1 1 0 6 : 光路
- 1 1 0 7 : シリコン薄膜
- 1 1 0 8 : ガラス基板
- 1 1 0 9 : X Y ステージ
- 1 1 1 0 : ガラス基板入りカセット
- 1 1 1 1 : 基板搬送装置
- C 0 : 真空チャンバ
- C 1 : ロード／アンロード室
- C 2 : プラズマ C V D 室
- C 3 : 基板加熱室
- C 4 : 水素プラズマ処理室
- C 5 : レーザ照射室
- C 7 : 基板搬送室
- D 1 R F : 電極
- D 2 : プラズマ形成領域
- D 3 : プラズマ閉じ込め電極
- D 4 : 原料ガス導入装置
- E L 1 : 第 1 のエキシマレーザ

E L 2 : 第 2 のエキシマレーザ
 G V 1 ~ G V 6 : ゲートバルブ
 G V 2 : ゲートバルブ
 G V 5 : ゲートバルブ
 H 0 : 基板吸着機構付きヒータ
 L 0 : 露光軸レーザ光
 L 1 : 第 1 のビームライン
 L 2 : 第 2 のビームライン
 L m : 顕微鏡用光源
 R F 1 : 高周波電源
 R F 2 : 高周波電極
 R F 3 : ガス供給穴付き電極
 R F 4 : 平面型ガス導入装置
 S 0 : 基板ステージ
 S 0' : 基板 $XYZ \theta_{XY} \theta_{XZ} \theta_{YZ}$ ステージ
 S 2 : 基板ホルダー
 S 5 : 基板ステージ
 S i 1 : シリコン薄膜非露光 S i
 S i 2 : 結晶シリコン薄膜露光 S i 部
 S i 3 : S i 除去部
 S i 4 : S i 酸化膜
 S i 5 : S i 酸化膜
 S u b 0 : ガラス基板
 T 1 : 基板カバー膜
 T 1 0 : マーク保護膜
 T 2 : シリコン薄膜
 T 2' : 結晶化シリコン薄膜
 T 3 : 第 1 のゲート絶縁膜
 T 4 : 第 2 のゲート絶縁膜

T 5 : パターン化されたゲート電極

T 6 , T 6 ' : 不純物注入領域

T 7 , T 7 ' : 層間分離絶縁膜

T 8 : 金属配線

T 9 : アライメントマーク

W - i : 測長用窓

W 0 : レーザ導入窓

W 1 : レーザ導入窓

X : 露光領域移動方向

Y : 露光領域移動方向

Z : 露光領域移動方向

e x 0 : パターン転写領域

g a s 1 ~ g a s 7 : ガス導入装置

g a s 2 1 : 酸素ライン

g a s 2 2 : ヘリウムライン

g a s 2 3 : 水素ライン

g a s 2 4 : シランライン

g a s 2 5 : ヘリウムライン

g a s 2 6 : アルゴンライン

i 1 : レーザ干渉計

i 2 : レーザ干渉計

m 0 : オフアクシス顕微鏡

m a r k 1 : マスク上マーク

m a r k 2 : 基板上マーク

m a r k 3 : 露光形成マーク

m a s k 1 : マスク (非露光部)

m a s k 2 : マスク (露光部)

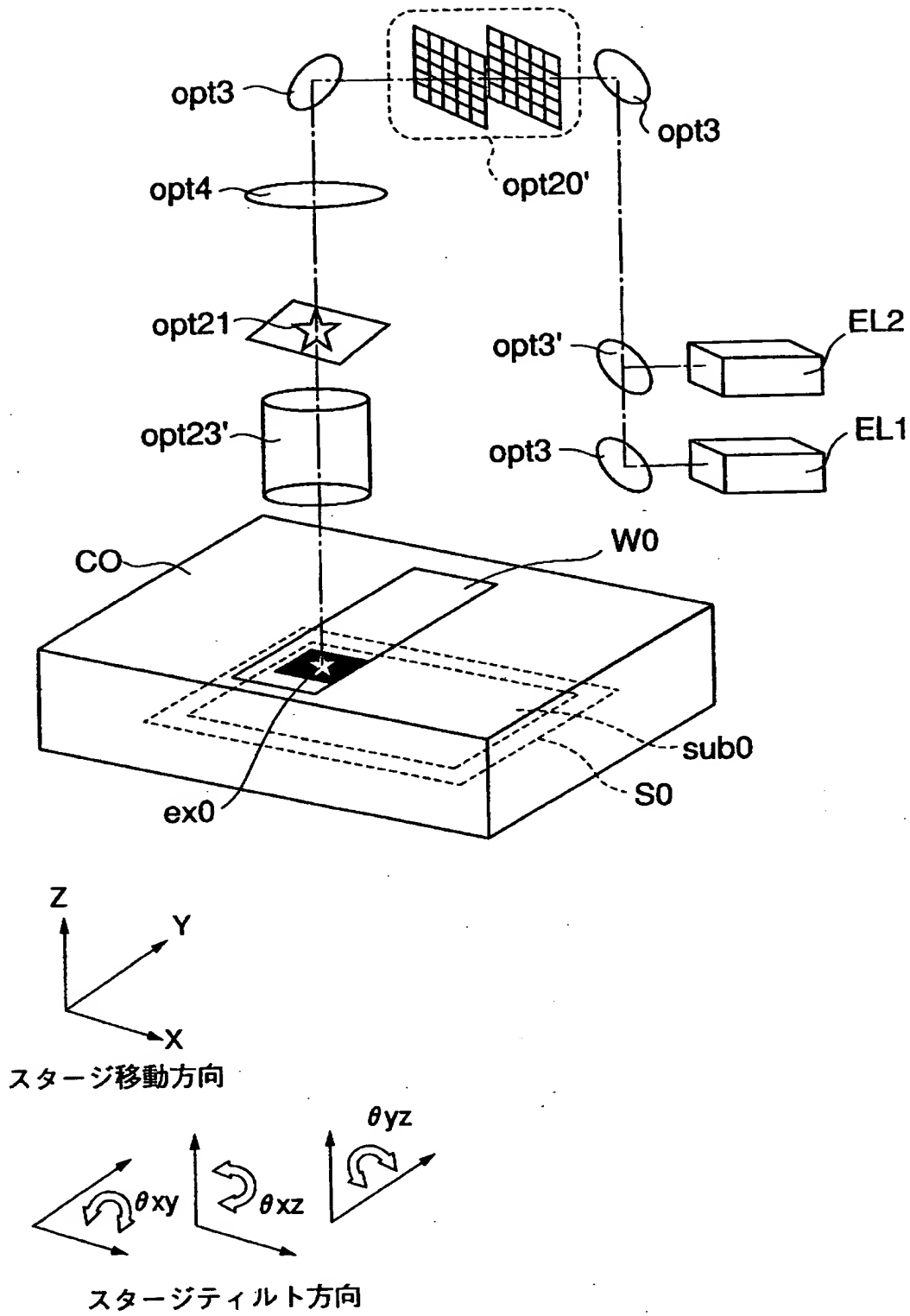
o p t - i : 測長用ミラー

o p t - m : 顕微鏡用素子

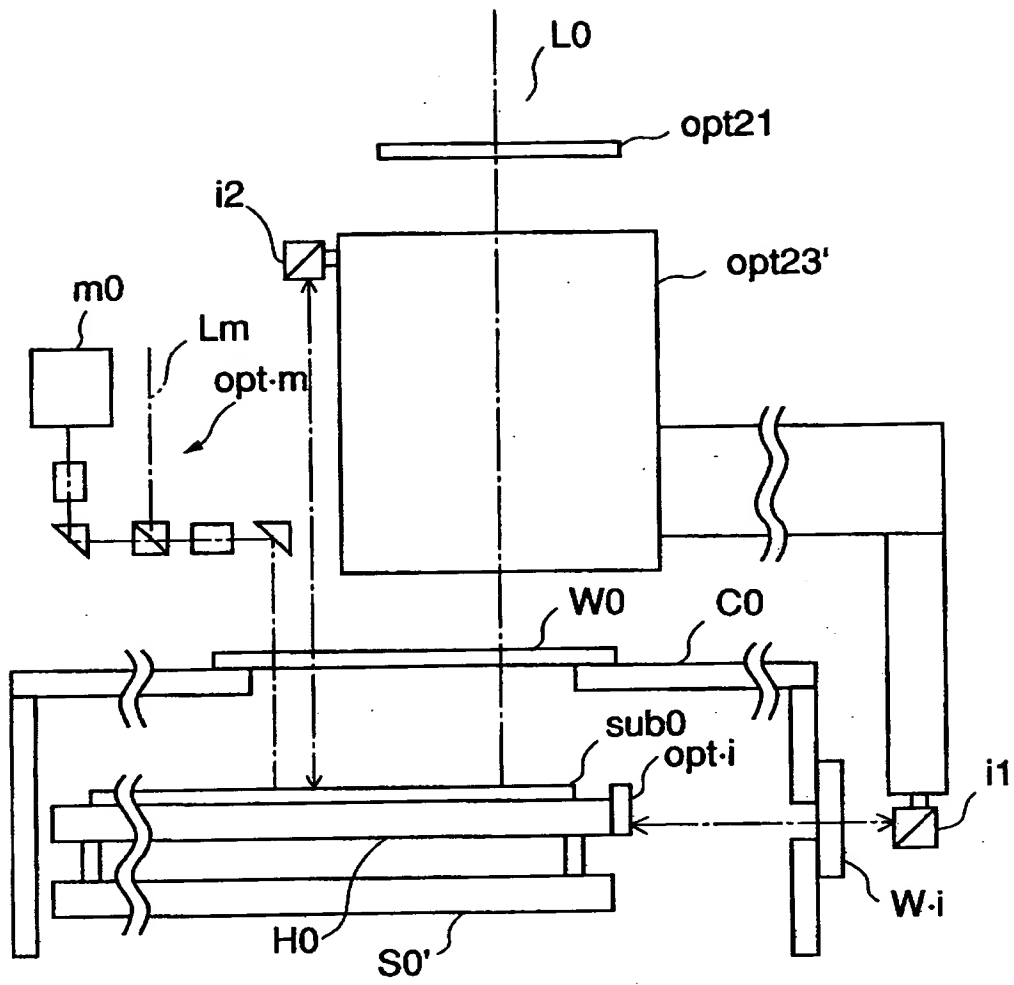
o p t 1 : レーザ合成光学装置
 o p t 1 1 : ミラー
 o p t 1 2 : 透過ミラー
 o p t 2 : レーザ照射光学装置
 o p t 2 0 : ホモジナイザ
 o p t 2 0' : ホモジナイザ
 o p t 2 1 : 光学マスク
 o p t 2 2 : 光学マスクステージ
 o p t 2 3 : 投影光学装置
 o p t 2 3' : 縮小投影露光装置
 o p t 3 : ミラー類
 o p t 3' : ミラー類
 o p t 4 : レンズ類
 s u b 0 : ガラス基板
 s u b 0 : 基板
 s u b 2, s u b 6 : 処理基板
 s u b 2 : 基板ホルダー
 v e n t 1 ~ v e n t 7 : 排気装置
 θ_{XY} : 傾き補正方向
 θ_{XZ} : 傾き補正方向
 θ_{YZ} : 傾き補正方向

【書類名】 図面

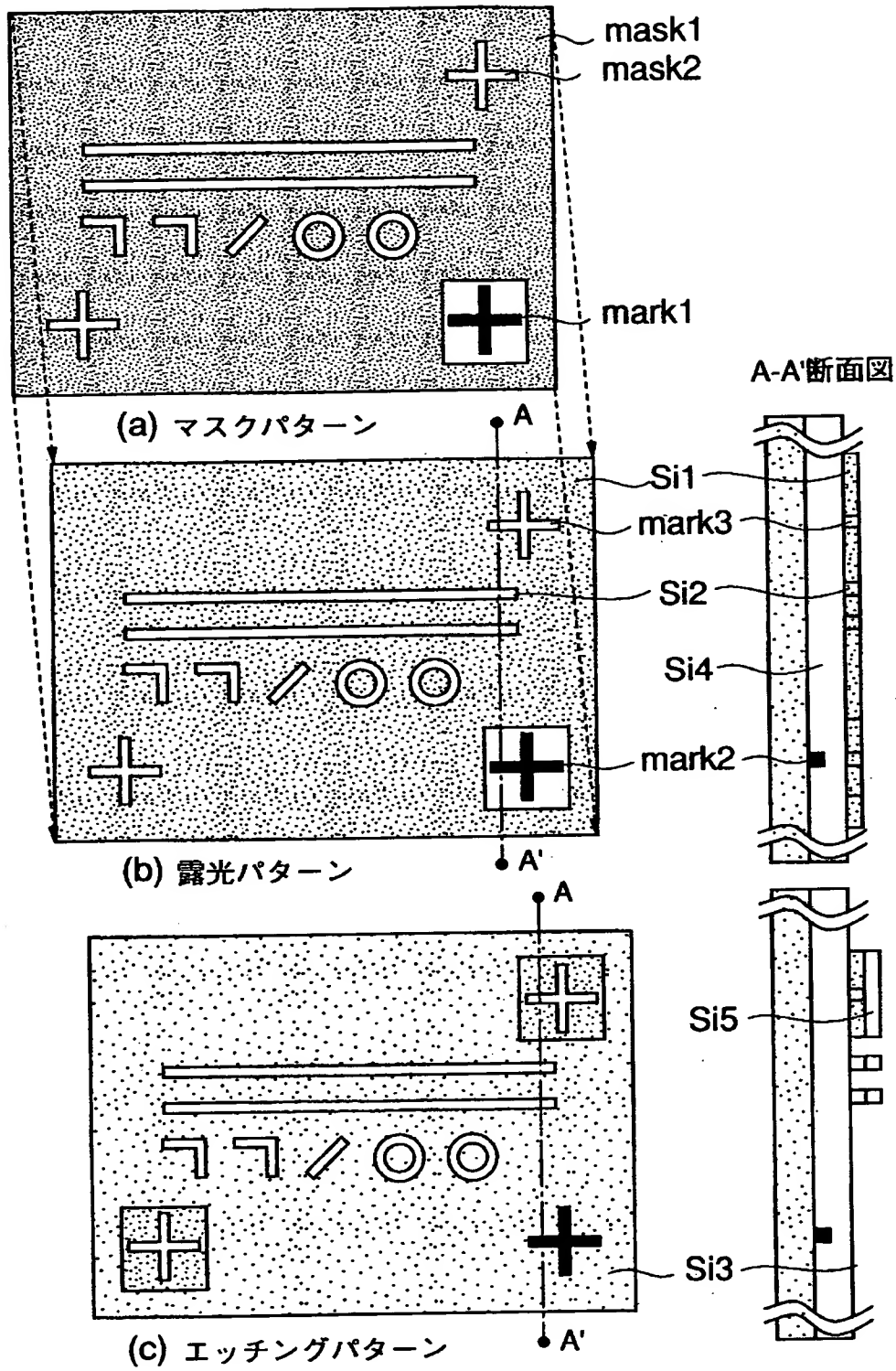
【図 1】



【図 2】

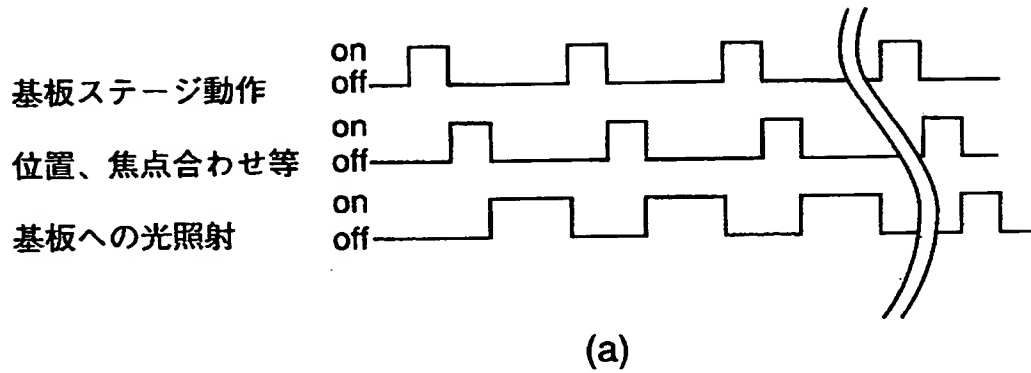


【図 3】

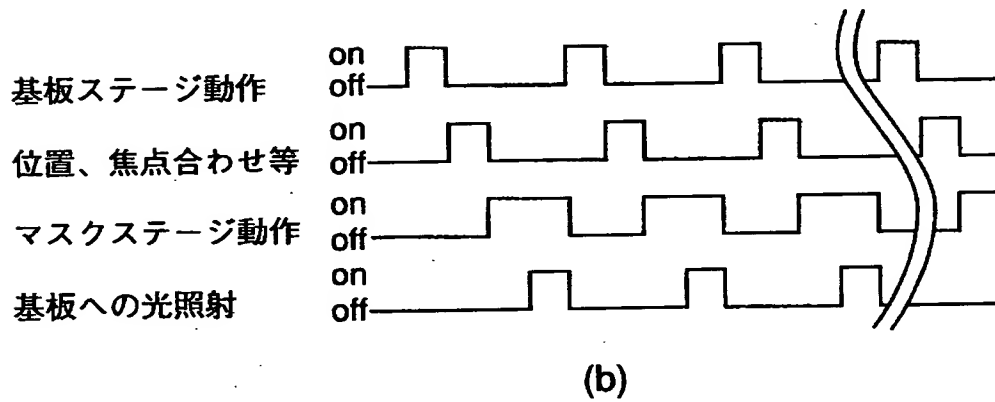


【図 4】

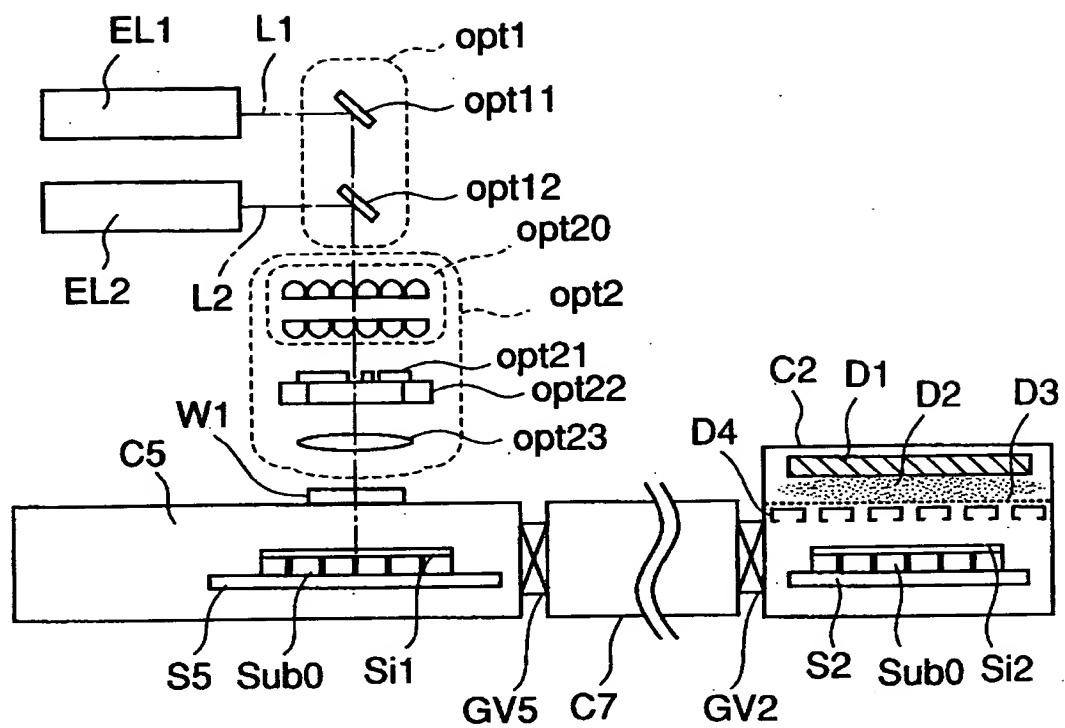
制御例 (1)



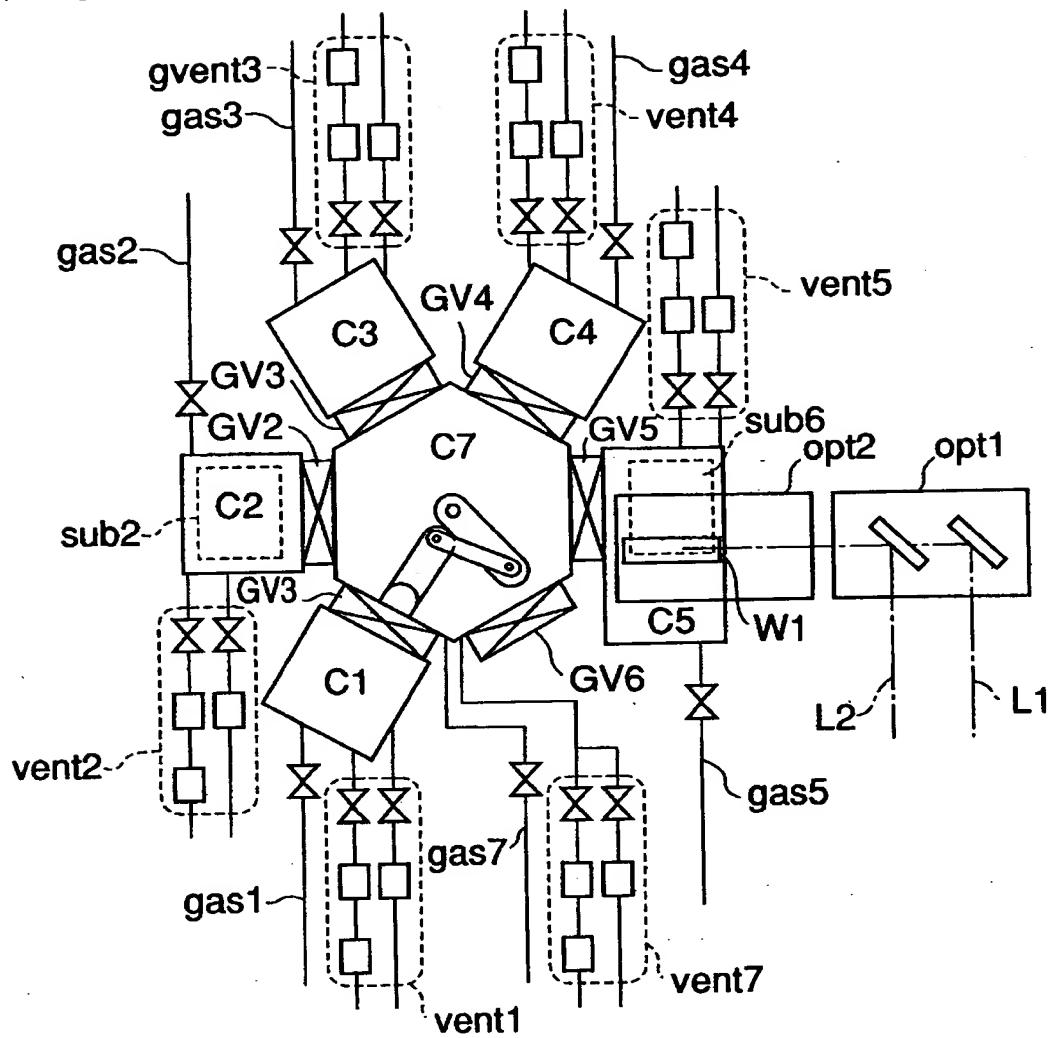
制御例 (2)



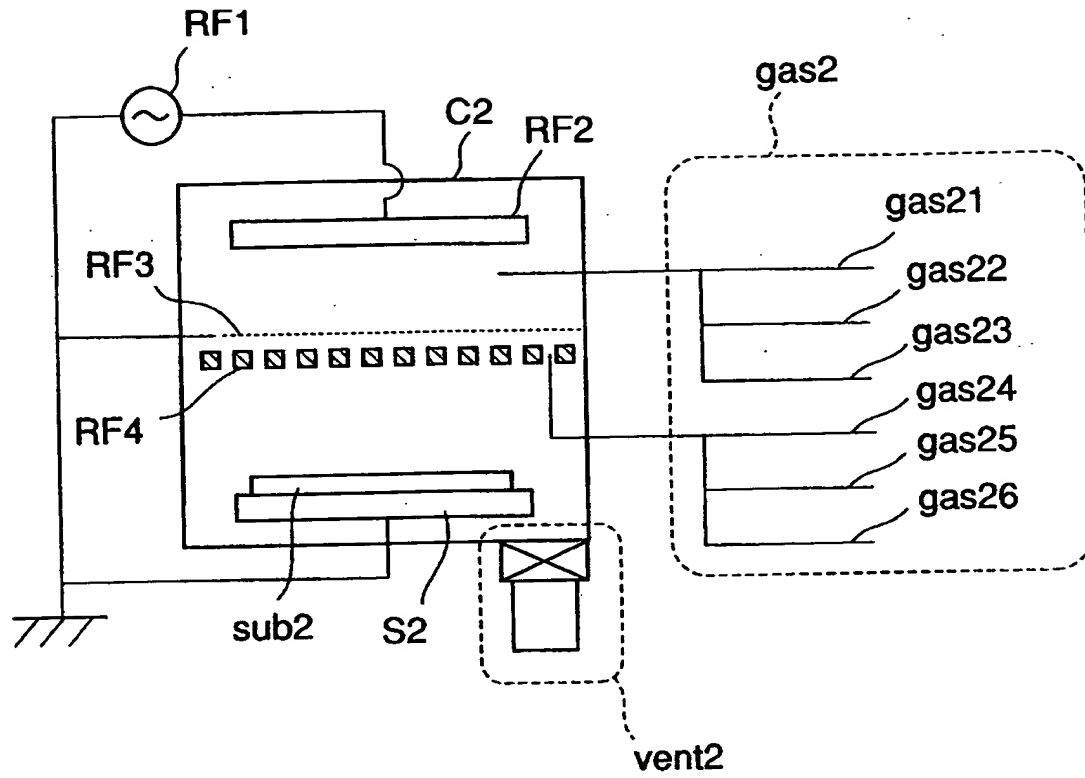
【図 5】



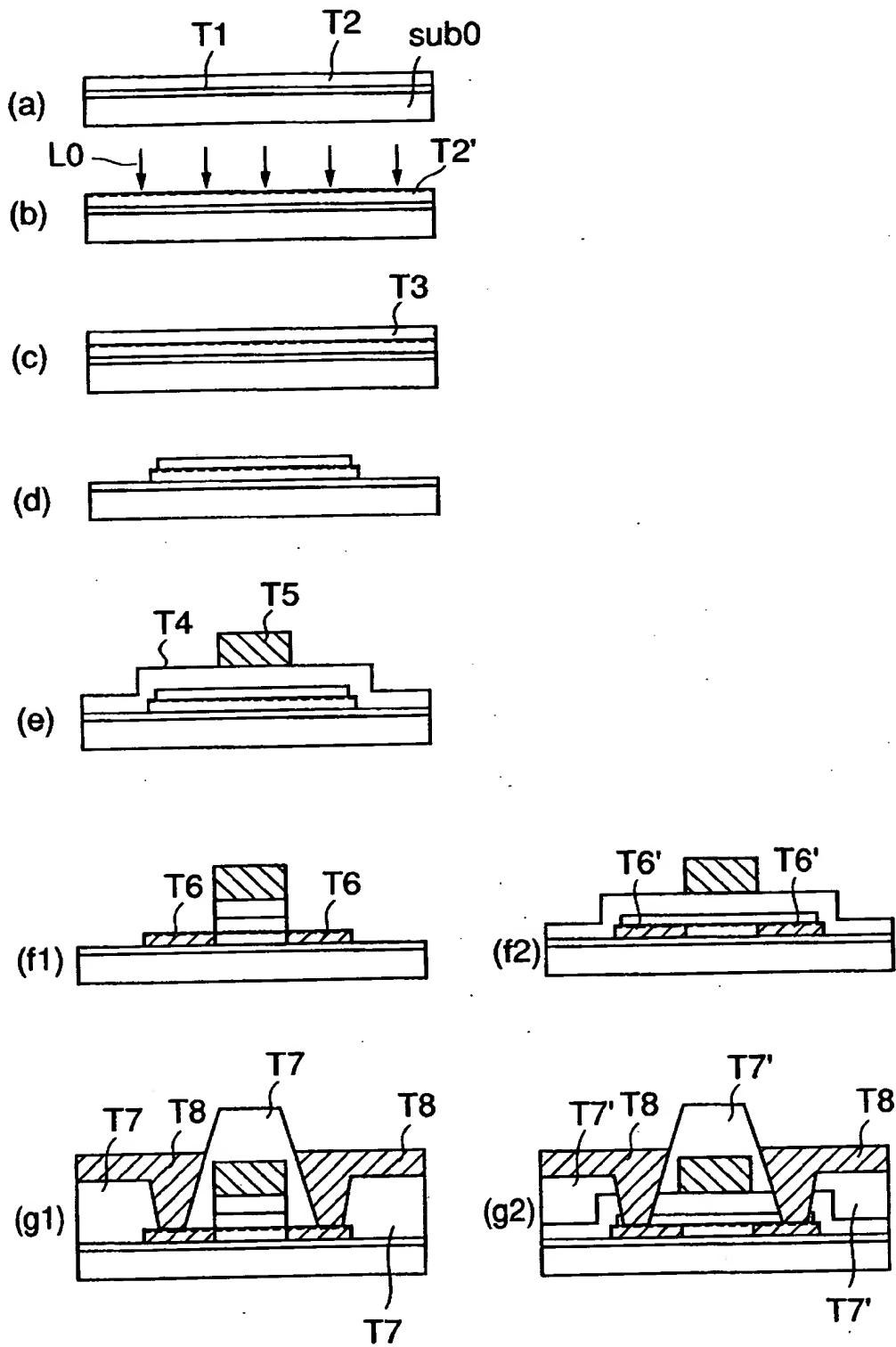
【図 6】



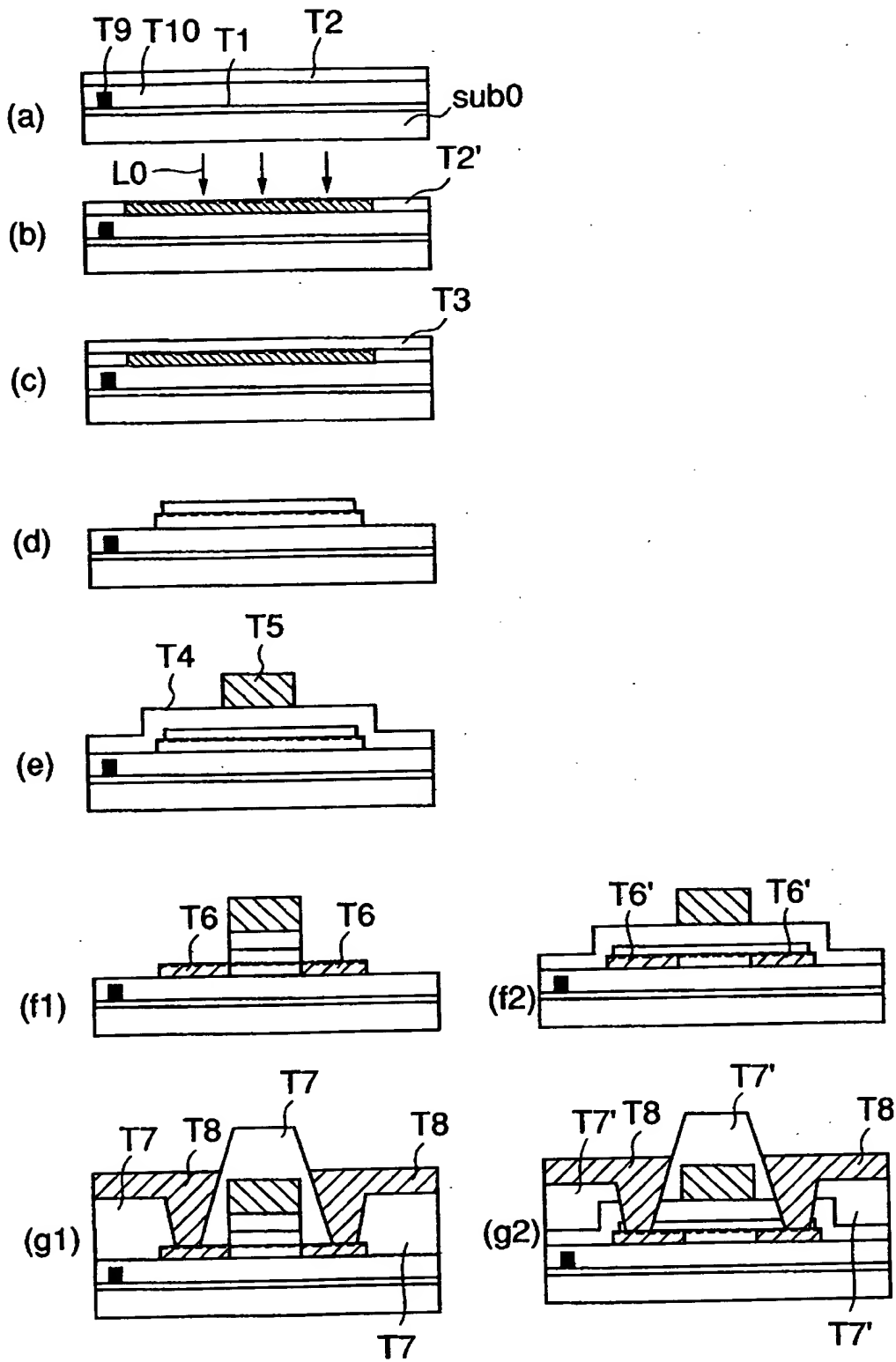
【図 7】



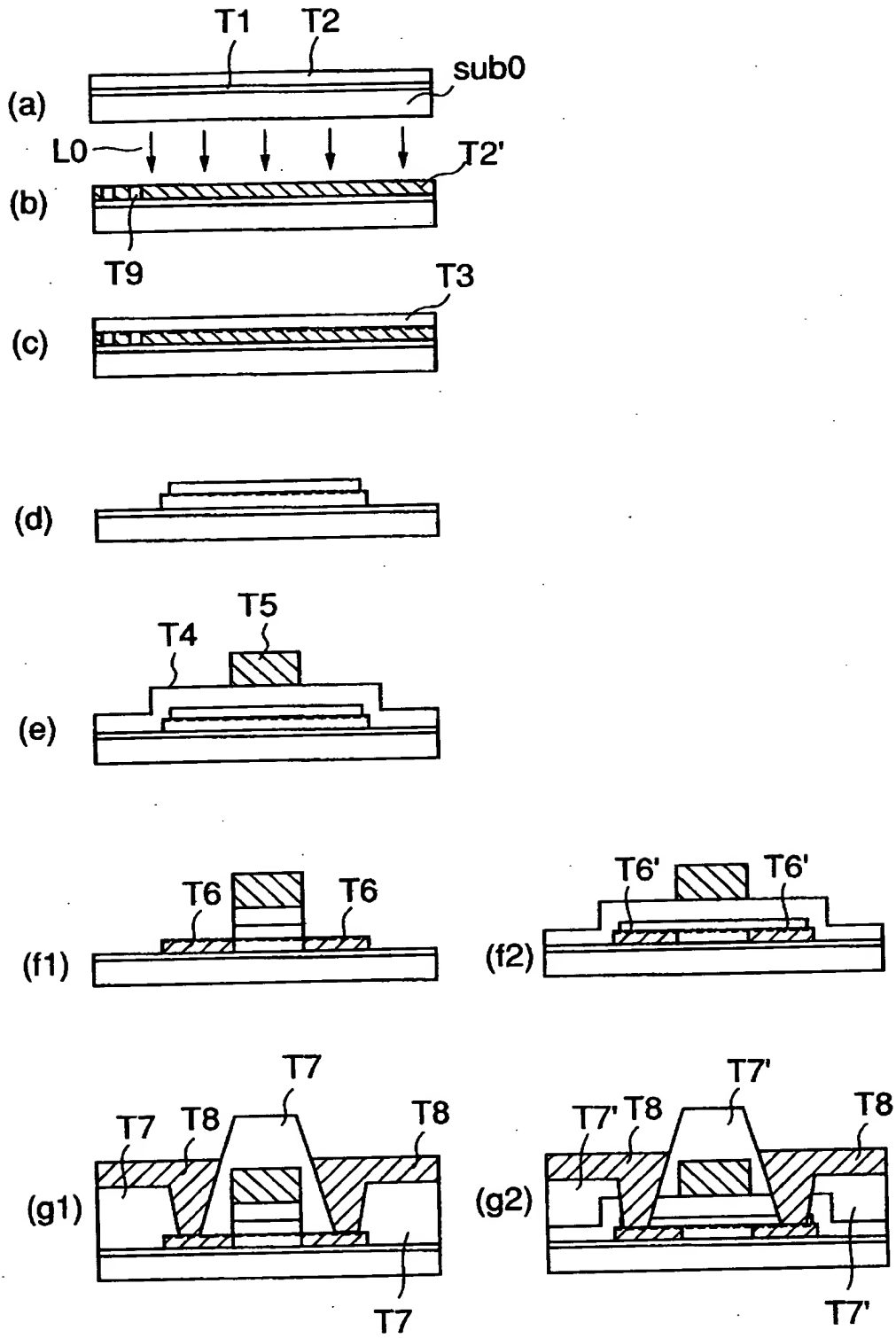
【図 8】



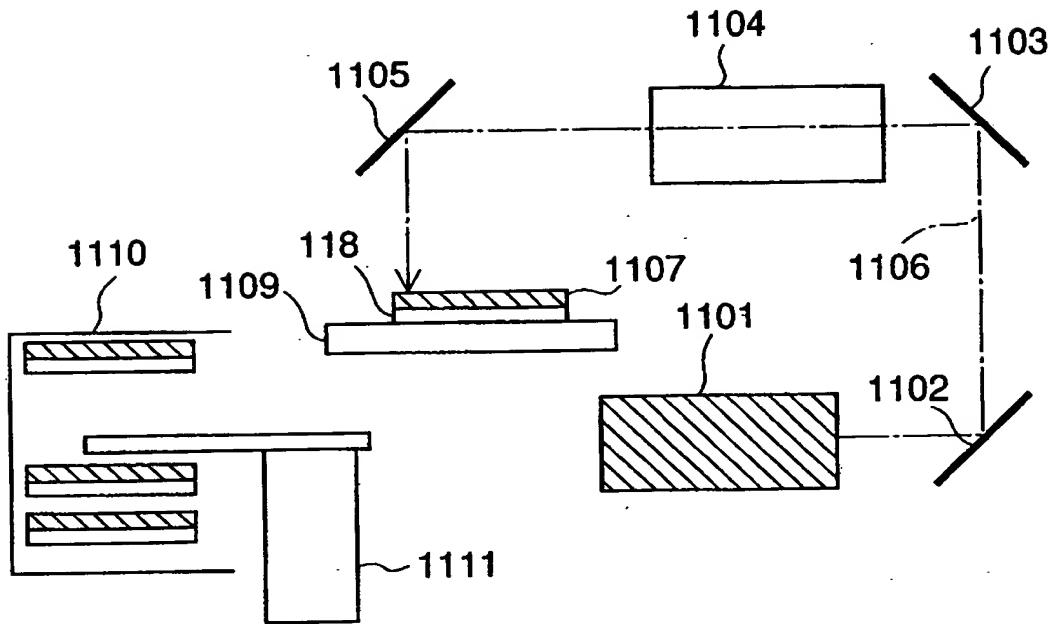
【図 9】



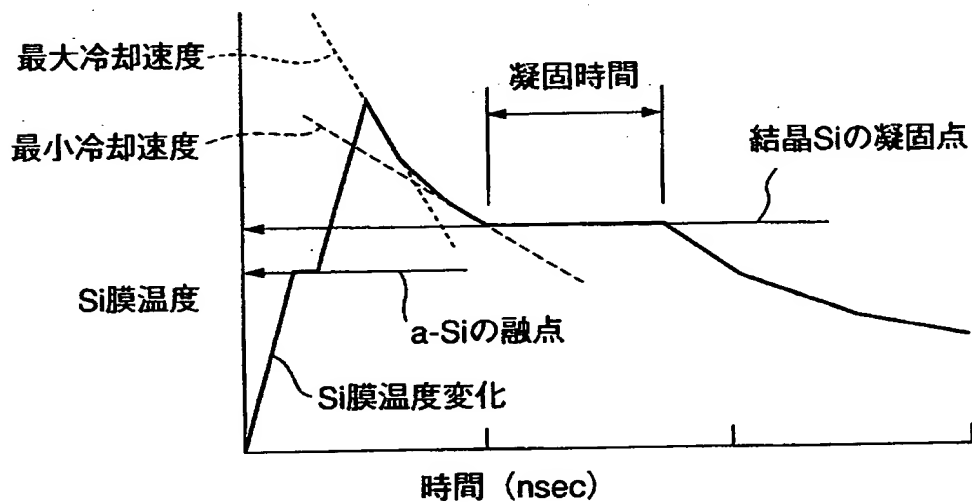
【図 10】



【図 1 1】

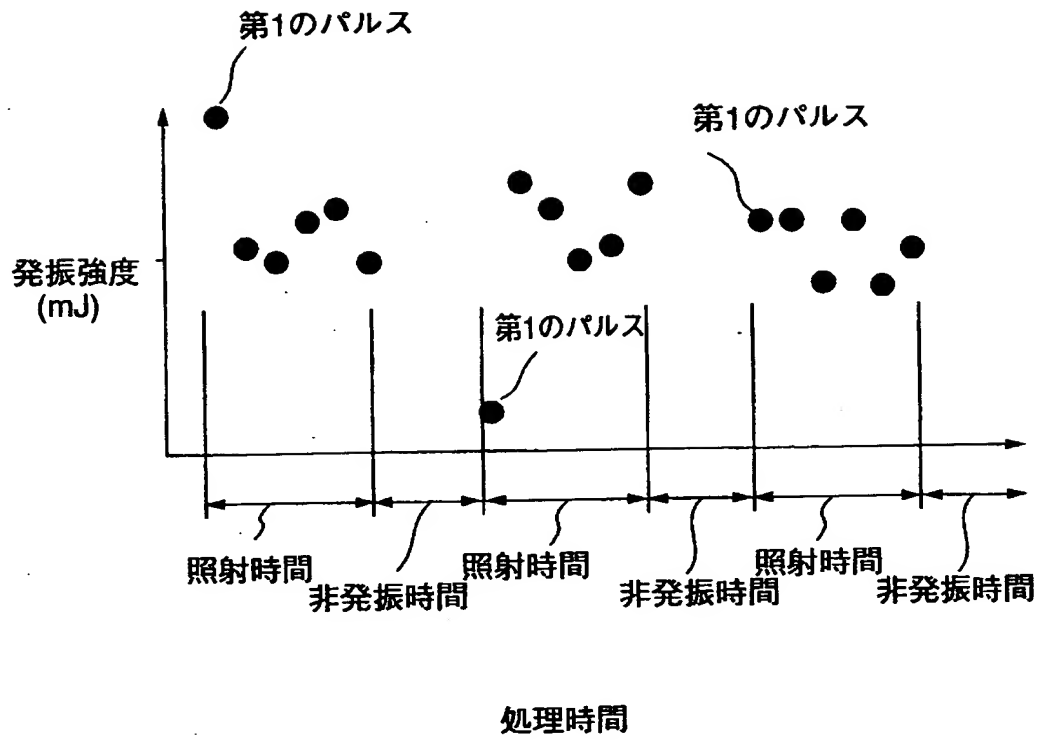


【図 1 2】

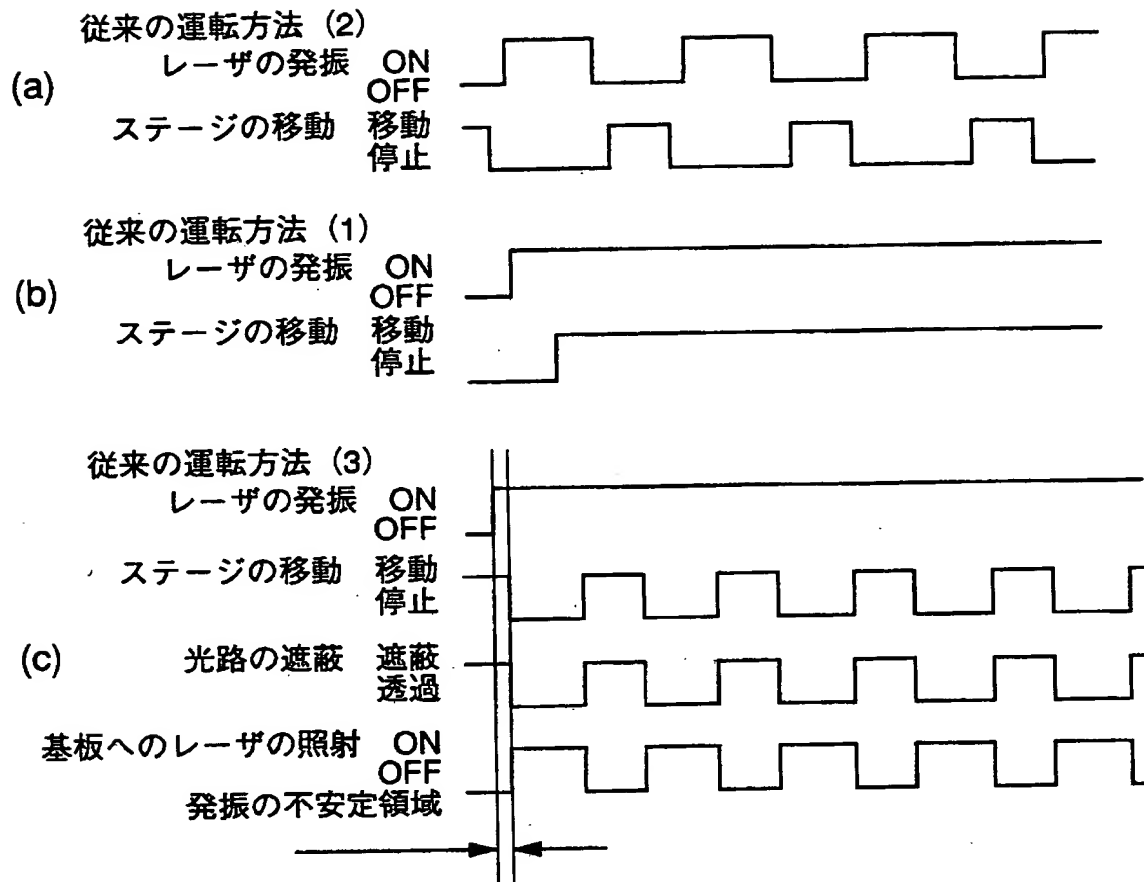


Si膜温度変化の例

【図 1 3】



【図 1 4】



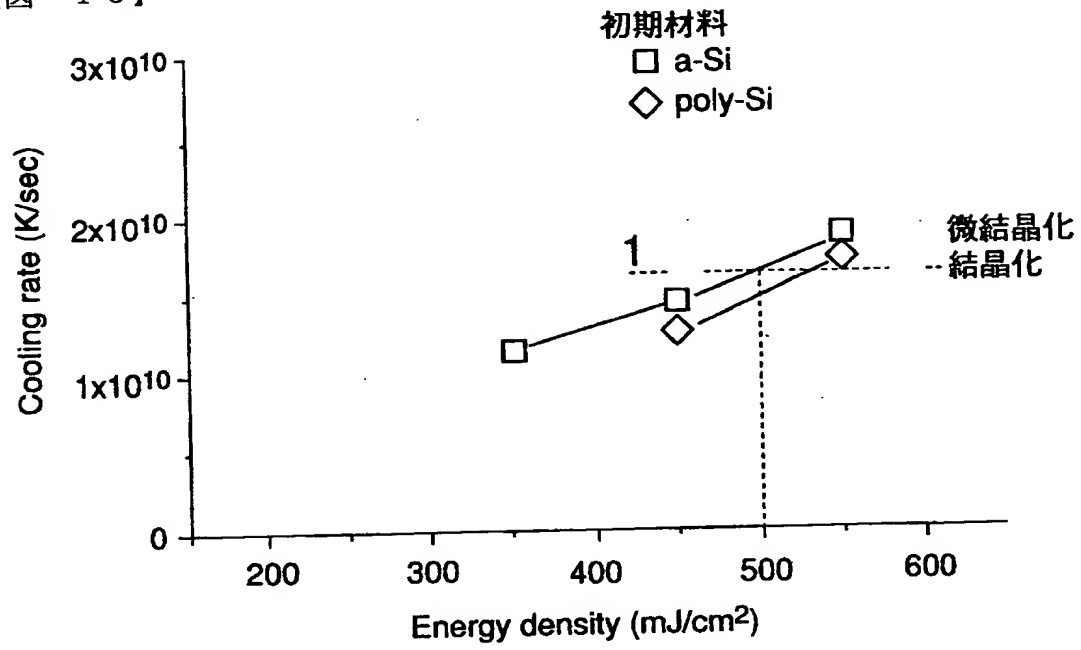
【図 1 5】



20nsec/div

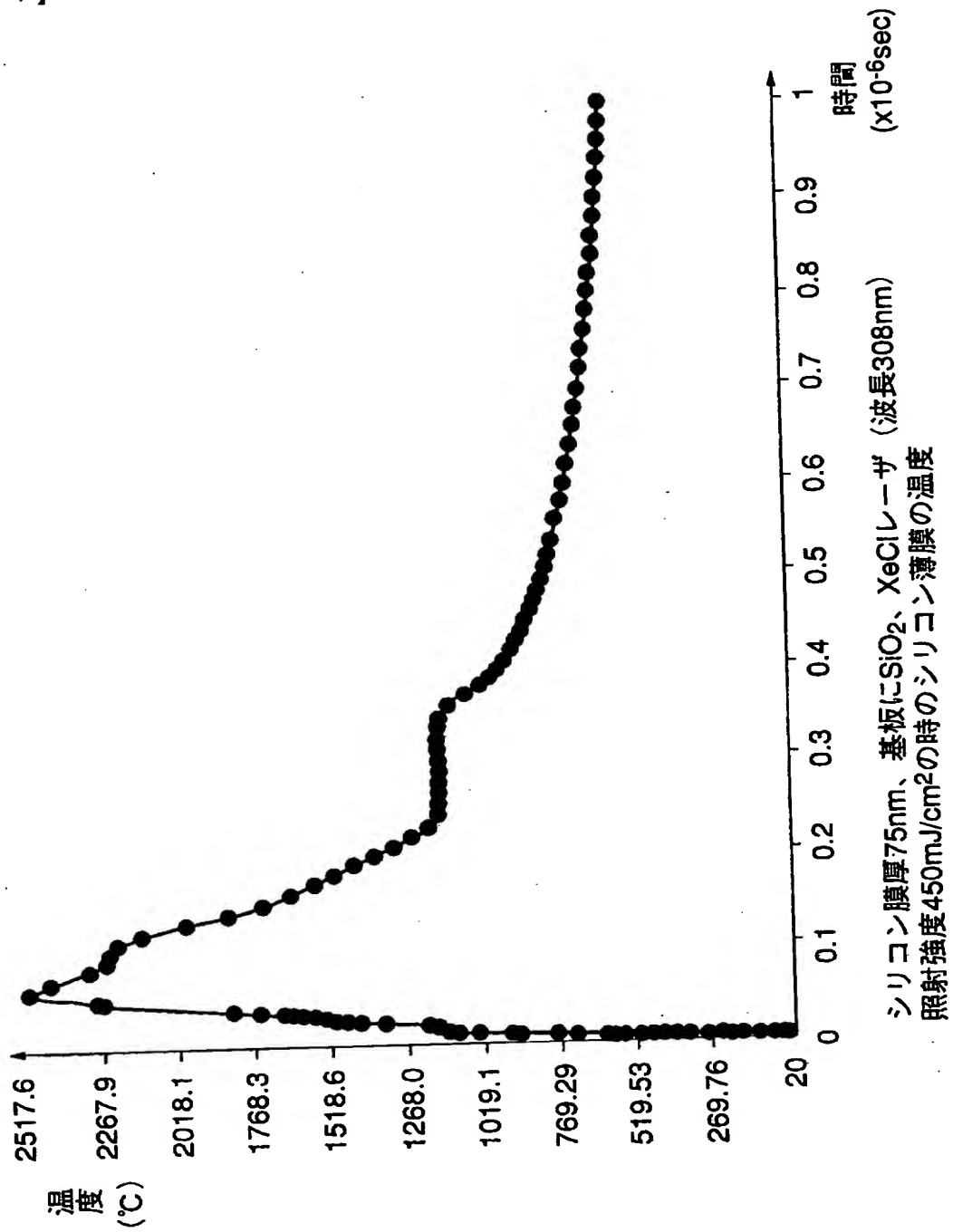
レーザーのパルス波形の一例

【図 1 6】

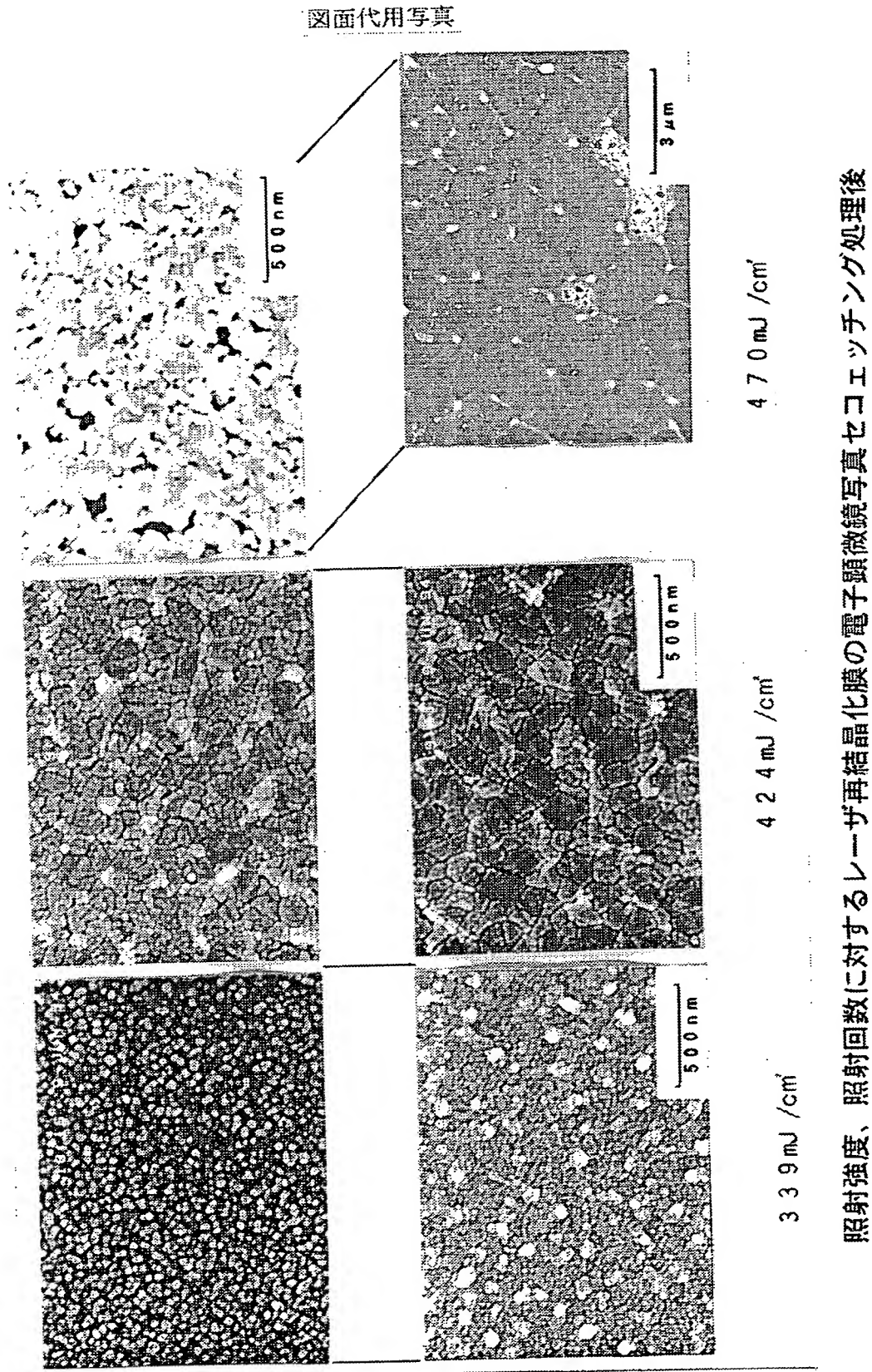


照射強度と冷却速度および非晶質化が生じる冷却速度

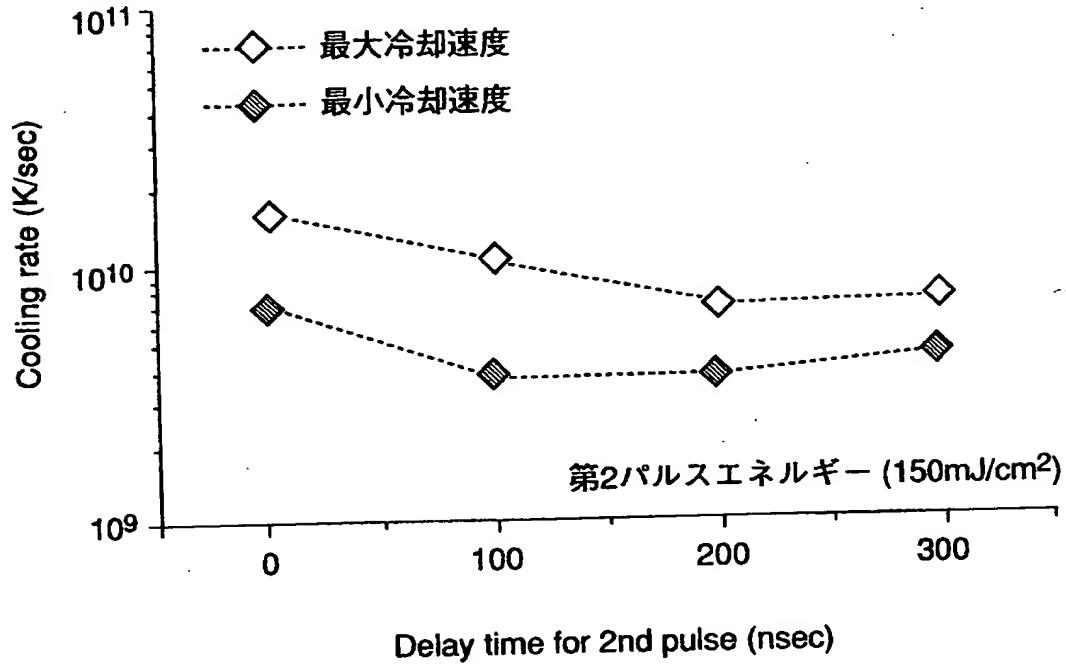
【図 1 7】



【図 18】



【図 19】



パルス投入後の最大冷却速度と凝固点近傍の冷却速度

【書類名】 要約書

【要約】

【課題】 トラップ準位密度の小さいシリコン薄膜を光照射によって形成する技術を提供すると共に、大面積基板上に再現性よくその技術を応用するための技術を提供する。また、それらの良質なシリコン膜上に良質なゲート絶縁膜を形成することにより、良好な半導体-絶縁膜界面すなわち優れた特性を有する電界効果型トランジスタを提供する。

【解決手段】 光の照射工程を有する半導体薄膜の形成方法において、光が光マスク上に形成したパターンを半導体薄膜上に投影露光して、半導体薄膜上の所定の領域を改質する工程と、上記半導体薄膜上に絶縁膜を連続的に形成する工程とを含ませる。また、前記光照射による改質を経た領域と光学的な色が異なる光照射を経ない領域との色差を用いてアライメントマークを形成する。前記アライメントマークを基準に、フォトリソグラフィ工程及びエッチング工程、並びに上記半導体薄膜の上記積層膜の一部を基板上から除去する工程に際しての位置決めを行う。

【選択図】 図 3

認定・付加情報

特許出願の番号	平成11年 特許願 第229979号
受付番号	19913000016
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 8月31日

<認定情報・付加情報>

【提出日】	平成11年 7月13日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社